

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299978

(43)Date of publication of application : 24.10.2000

---

(51)Int.Cl. H02M 3/155

---

(21)Application number : 2000-035366 (71)Applicant : ANALOG DEVICES INC  
<ADI>

(22)Date of filing : 14.02.2000 (72)Inventor : REDL RICHARD  
ERISMAN BRIAN P  
AUDY JONATHAN M  
REIZIK GABOR

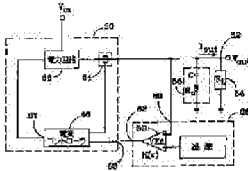
---

(30)Priority

Priority number : 99 249266 Priority date : 12.02.1999 Priority country : US

---

(54) METHOD AND CIRCUIT FOR IMPROVING VOLTAGE REGULATOR  
LOAD TRANSIENT RESPONSE AND MINIMIZING OUTPUT CAPACITOR SIZE



(57)Abstract:

PROBLEM TO BE SOLVED: To minimize the capacitor size by maintaining the regulator's output voltage within specified boundaries for large bi-directional step change in load current.

SOLUTION: A current sensor 64 at a controllable power stage 50 generates an output signal which varies along with the output current from the power stage 50. A current controller 66 receives the output signal thus generated along with the output 62 from a voltage error amplifier 59 to produce an output 67. In response to the output 67 from the current controller 66, a power circuit 68 generates an output voltage  $V_{out}$ . The output capacitor 56 of the power circuit 68, i.e., a regulator, maintains the output voltage within a boundary specified for the bi-directional step change in load current. Consequently, the capacitor size is minimized and the power circuit 68 can be compensated.

---

#### LEGAL STATUS

[Date of request for examination] 14.11.2000

[Date of sending the examiner's  
decision of rejection] 15.01.2002

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3574029

[Date of registration] 09.07.2004

[Number of appeal against examiner's  
decision of rejection] 2002-06435

[Date of requesting appeal against  
examiner's decision of rejection] 15.04.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] Maintain the output voltage of a regulator within the boundary specified to the bidirectional step change in the load current. It is the approach of making it possible to a voltage regulator to use the minimum output capacitor as much as possible. A voltage regulator with required within the boundary which adopted the output capacitor (56) and was specified to the bidirectional step change in the load current maintaining regulation output voltage ( $V_{out}$ ) It consists of the step compensated so that the response may become flat after the output voltage reaches the peak deflection. The approach that said output capacitor required in order to perform said compensation is characterized by the thing which maintains the output voltage of said regulator within said specified boundary and which it is said output capacitor minimum as much as possible.

[Claim 2] Maintain the output voltage of a voltage regulator within voltage deviation specification  $\Delta V_{out}$  specified to bidirectional step change  $\Delta I_{load}$  in the load current. It is the approach of minimizing the size of the output capacitor of said regulator. It is the step which calculates the maximum equivalent series resistance  $R_{e(max)}$  of the output capacitor (56) which the

voltage regulator which supplies output voltage ( $\Delta V_{out}$ ) to a load ( $R_L$ ) in an output node (52) adopts. Said output capacitor is connected to juxtaposition between said loads. Said regulator It is necessary to maintain the output voltage of a voltage regulator within voltage deviation specification  $\Delta V_{out}$  specified to bidirectional step change  $\Delta I_{load}$  in the load current. The step which calculates  $R_e$  (max) according to  $R_e(max) = \Delta V_{out} / \Delta I_{load}$ , It turns to the parallel connection of said output load and an output capacitor to the increment in a step in the load current equal to  $\Delta I_{load}$ . As opposed to the step reduction in the load current equal to the absolute value and  $\Delta I_{load}$  of the inclination for maximum good of the current which said voltage regulator pours in The step which determines the absolute value of the inclination for minimum good of the current poured in towards the parallel connection of said output load and an output capacitor, The step which judges the smaller one among said absolute values, and makes a value  $m$  the one where this absolute value is smaller, The step which determines the critical capacity  $C_{crit}$  according to  $C_{crit} = \Delta I_{load} / m R_e$  (max), The step chosen in order to connect the output capacitor which is somewhat smaller than  $R_e$  (max), or has the capacity more than the equivalent series resistance  $R_e$  and  $C_{crit}$  equal to this between said loads, the step which constitutes the output impedance of said voltage regulator so that it may become almost equal to  $R_e$  -- since -- the approach characterized by changing.

[Claim 3] The good control power stage to which said voltage regulator answers the signal received in a control input (53), and supplies the output voltage of said regulator in an approach according to claim 2 (50), The electrical-potential-difference error amplifier (59) connected between said output node and said control input is included. In case the step adjusted so that said power stage may become almost equal to  $R_e$  about a characterization eclipse and said output impedance by Transconductance  $g$  is performed, it is [Equation 1] about gain [ of said electrical-potential-difference error amplifier ]  $K$  (s).

$$K(s) = (-1/gR_e)(1/(1+sR_eC))$$

It is the approach which is alike, makes it equal and is characterized by what  $C$

and  $R_e$  are said capacity and equivalent series resistance of an output capacitor which were adopted here.

[Claim 4] Make it possible to maintain the output voltage  $V_{out}$  of a buck mold switching voltage regulator within voltage deviation specification  $\Delta V_{out}$  specified to bidirectional step change  $\Delta I_{load}$  in the load current. It is the approach of minimizing the size of the output capacitor of said regulator. Input voltage  $V_{in}$  Reception, It is the step which calculates the maximum equivalent series resistance  $R_e (max)$  of the output capacitor (56) which the current control mold switching voltage regulator which supplies output voltage ( $\Delta V_{out}$ ) adopts as the load ( $R_L$ ) connected to the output node (52) through the output inductor ( $L$ ). Said inductor is connected to  $V_{in}$  and touch-down by turns with the 1st and 2nd switches (72 74). It connects with juxtaposition between said loads, said output capacitor needs to maintain  $V_{out}$  within voltage deviation specification  $\Delta V_{out}$  specified to bidirectional step change  $\Delta I_{load}$  [ in / in said regulator / the load current ], and it is [Equation 2] about  $R_e (max)$ . The step calculated according to  $R_e(max) = \Delta V_{out} / \Delta I_{load}$ , and [Equation 3] the step which is a step which determines the minimum inductance  $L_{min}$  to said output inductor according to  $L_{min} = V_{out} T_{off} R_e(max) / V_{ripple}$  and p-p, and chooses the step whose  $T_{off}$  is a maximum-permissible peak pair peaking capacity ripple voltage here for the off time amount of said 1st switch,  $V_{ripple}$ , and p-p, and the output inductor in which it has the inductance  $L_1$  more than  $L_{min}$  in order to use it in said regulator, and  $V_{out} < (V_{in} - V_{out})$  -- a case -- [Equation 4]

$$C_{min} = \Delta I_{load} / [R_e (max) (V_{out} / L_1)]$$

It is [Equation 5], when it is alike, it follows and it is  $V_{out} > V_{in} - V_{out}$ .

$$C_{min} = \Delta I_{load} / [R_e(max) ((V_{in} - V_{out}) / L_1)]$$

the step which chooses in order to connect the output capacitor which has the step which is alike, follows and determines the minimum capacity  $C_{min}$  of said output capacitor, and the capacity  $C$  almost equal to  $C_{min}$ , and the output capacitor which has the equivalent series resistance  $R_e$  almost equal to  $R_e$

(max) between said loads, and the step which constitute the output impedance of said regulator so that it may become almost equal to  $R_e$  -- since -- the approach characterized by to change.

[Claim 5] It is the voltage regulator which maintains output voltage within voltage deviation specification  $\Delta V_{out}$  specified to bidirectional step change  $\Delta I_{load}$  in the load current. It connects so that output voltage  $V_{out}$  may be generated to an output node (52) according to the signal received in a characterization eclipse and a control input (53) by Transconductance  $g$ . The good control power stage where said output node is connected to the load ( $R_L$ ) (50), The output capacitor which is an output capacitor (56) which was connected to said output node and connected to juxtaposition between said loads, and has equivalent series resistance  $R_e$ , It has the electrical-potential-difference error amplifier (59) connected between said output nodes and said control inputs. Said good control power stage, said output capacitor, and said amplifier within voltage deviation specification  $\Delta V_{out}$  specified to step change  $\Delta I_{load}$  in the load current The voltage regulator which needs to maintain the electrical potential difference in said output node is formed, said output capacitor has the capacity more than the critical capacity  $C_{crit}$ , and it is [Equation 6] about this critical capacity  $C_{crit}$ . It determines according to  $C_{crit} = \Delta I_{load} / m R_e$ . Here  $m \geq 1$ ) As opposed to the increment in a step in the load current equal to  $\Delta I_{load}$  As opposed to the step reduction in the load current equal to the absolute value and  $2I_{load}$  of the inclination for maximum good of the current which said voltage regulator pours in towards the parallel connection of said output load and an output capacitor Are equal to the smaller one among the absolute values of the inclination for minimum good of the current which said voltage regulator pours in towards the parallel connection of said output load and an output capacitor. The voltage regulator characterized by what is constituted so that said voltage regulator may have an output impedance almost equal to  $R_e$ .

[Claim 6] It sets to a voltage regulator according to claim 5, and gain [ of said electrical-potential-difference error amplifier ]  $K(s)$  is [Equation 7].

$$K(s)=(-1/gR_0)(1/(1+sR_eC))$$

It is the approach that be alike is given,  $g$  is equal to the transconductance of said good control power stage here, and  $R_e$  and  $C$  are characterized by the thing respectively equal to the equivalent series resistance and capacity of said output capacitor.

[Claim 7] Said capacitor is a voltage regulator to which it is characterized by being the output capacitor minimum as much as possible which makes it possible to maintain the output voltage within  $\Delta V_{out}$  to step change  $\Delta I_{load}$  [ in / in a voltage regulator according to claim 5, it has the equivalent series resistance  $R_e$  with said output capacitor almost equal to a capacity almost equal to  $C_{crit}$ , and  $\Delta V_{out}/\Delta I_{load}$ , and / in a voltage regulator / the load current ].

[Claim 8] It is the voltage regulator which maintains regulation output voltage within voltage deviation specification  $\Delta V_{out}$  specified to step change  $\Delta I_{load}$  in the load current. The good control power stage which supplies output voltage ( $V_{out}$ ) to a load ( $R_L$ ) in an output node (52) according to the electrical-potential-difference difference between the 1st control input (102) and the 2nd control input (104) (100), Said output node and the output capacitor connected to juxtaposition between said loads (56), The impedance  $Z_1$  connected between said output node and the 1st node (110), The impedance  $Z_2$  connected between said 1st node and reference voltage ( $V_{ref}$ ), The current sensor which generates the output voltage ( $V_{out}$ ) changed with the output current ( $I_{out}$ ) which has the transformer resistance  $R_S$  and is sent out to said load (106), It has the adder circuit (108) which generates output voltage equal to the sum of said sensor output voltage and the electrical potential difference in said output node. Said current sensor output voltage and said adder-circuit output voltage, respectively It connects with said 1st and 2nd control inputs. Said good control power stage, said output capacitor, Within voltage deviation specification  $\Delta V_{out}$  as which said impedance, said current sensor, and said adder circuit were specified to step change  $\Delta I_{load}$  in the load current The voltage regulator which needs to maintain the electrical potential difference in

said output node is formed, and, for said regulator, the ratio of impedances Z1 and Z2 is [Equation 8].

$Z1 / Z2 = [(R0(1+sReC)-RS)] / RS$  it is constituted so that it may become equal to  $1/RS$  here, Re and C) Respectively, it is equal to the equivalent series resistance and capacity of said output capacitor, and R0 is equal to Re, when C is more than  $\Delta I_{load}/mRe$ . When C is under  $\Delta I_{load}/mRe$ , are equal to  $\Delta I_{load} / 2mC + [mC (R_{SUB>e})] / 2\Delta I_{load}$ . Or m 1) As opposed to the increment in a step in the load current equal to  $\Delta I_{load}$  As opposed to the step reduction in the load current equal to the absolute value and  $2\Delta I_{load}$  of the inclination for maximum good of the current which said voltage regulator pours in towards the parallel connection of said output load and an output capacitor The voltage regulator characterized by the thing equal to the smaller one towards the parallel connection of said output load and an output capacitor among the absolute values of the inclination for minimum good of the current which said voltage regulator pours in.

[Claim 9] Said impedance Z1 is realized in a voltage regulator according to claim 8 by the resistor R1 and capacitor C1 which were connected to juxtaposition, an impedance Z2 is realized by resistance R2, said resistance R1 and R2 and capacitor C1 are constituted so that the output impedance of said voltage regulator may become equal to Re, and it is [Equation 9] by this.  $R2 / R1 = (R0 - RS) / RS$ , and [Equation 10]  $C1 * R1 = C[(R0Re)/RS]$

The voltage regulator which comes out and is characterized by a certain thing.

[Claim 10] The voltage regulator which said current sensor and adder circuit are equipped with the resistor which has the resistance RS connected between said good control output stage in the 2nd node, and said output node in a voltage regulator according to claim 8, and is characterized by the electrical potential difference in said 2nd node being the output voltage of said adder circuit.

---

[Translation done.]



\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the field of a voltage regulator, if this invention is specified further, it relates to the approach of improving the response of the voltage regulator to the transient of a load.

[0002]

[Description of the Prior Art] Even if the purpose of a voltage regulator is the case where a demand of the changed load current for which electric power is supplied to non-adjusted input voltage must be filled, it is supplying almost fixed output voltage to a load.

[0003] to sharp increase or reduction of the suddenly of the load current demanded by step status change-ization of the load current, i.e., a load, depending on an application, in order to maintain the output voltage of about 1 law, a regulator is needed. For example, when a microprocessor may have "power saving mode", turns OFF the circuit part which is not used in this case, reduces current consumption to zero mostly and is needed, it must set these parts to ON, and the load current must usually be raised to a high value within in hundreds of nanoseconds in that case.

[0004] If the load current has change, it is unescapable that a certain deflection

arises in the output voltage of a regulator in practice. The magnitude of this deflection is related to both the capacity of an output capacitor, and equivalent series resistance (ESR). That is, deflection becomes large, so that ESR is so large that capacity is small. for example, in a switching voltage regulator (the output current is sent out through an output inductor and the output capacitor connected to juxtaposition between loads is included) Only  $I_{load}$  increases in [ the current with which change ( $\Delta I_{load}$ ) of the load current is sent out to one load ] instant. Or the capacity of 2 output capacitor is very large, and since the ESR is still very smaller, if it is not extent which the deflection of output voltage can disregard, a result from which the output voltage of a regulator changes will be brought. The first alternative is impossible. It is because the current in an output inductor cannot change in an instant. Although time amount required in order to cope with change of the load current can be shortened by making the inductance of an output inductor small, for that, the rise of the switching frequency of a regulator is needed after all, and it is restricted by the dissipation in the limited switching rate of a switching transistor, and the drive circuit of a transistor. Although the 2nd alternative is possible, possibility of a very big output capacitor being needed, the space occupied on a printed circuit board being too large to remainder, or cost starting too much, or becoming these both sides is high.

[0005] For the application with which the specification which restricts the deflection of permissible output voltage for the output voltage of a regulator narrowly to a narrow load transient response specification, i.e., a bidirectional step change of the load current, must be filled, it may become so large that this unescapable deflection cannot be admitted. When using here, " $\Delta V_{out}$ " shall mean the peak pair peaking capacity voltage deviation shown in a graph while meaning the output voltage deflection specification of a regulator. The clearest solutions for improving a load transient response are increase of an output capacitance, and/or reduction of ESR of an output capacitor. However, a cost rise is caused, in order that the required volume (volume) may become large and

may make PC-board area large so that an output capacitor becomes large (capacity becomes large and ESR becomes small) as described previously.

[0006] One of the technique which improves a load transient response is shown in drawing 1  $R > 1$ . The switching voltage regulator 10 contains the push and pull switch 12 connected between supply voltage  $V_{in}$  and touch-down. Two power metal-oxide semiconductor field effect transistor 14 and 16 changed synchronous usually realizes this. A driver circuit 18 is connected and one side or another side of MOSFETs 14 and 16 is changed by turns. The duty ratio modulation circuit 20 controls a drive circuit. A circuit 20 contains the electrical-potential-difference comparator 22 which compares the error voltage received from the saw-tooth-wave clock signal received from the clock circuit 24, and the error signal generating circuit 26. Usually, including the high interest profit operational amplifier 28, a circuit 26 receives the electrical-potential-difference expression of output voltage  $V_{out}$  in reference voltage  $V_{ref}$  and the 2nd input in one input, and generates the error voltage changed with the difference of  $V_{out}$  and desired output voltage. Moreover, a regulator contains the resistor  $R_S$  connected between the output capacitor 30 shown by expressing as the output inductor  $L$  connected to the join between MOSFETs 14 and 16, equivalent series resistance  $R_e$ , and an in-series capacity  $C$ , the output inductor, and the output capacitor.  $V_{out}$  is connected and a load 32 is driven.

[0007] In actuation, MOSFETs 14 and 16 are driven so that Inductor  $L$  may be connected to  $V_{in}$  and touch-down by turns, and a duty ratio is determined by the duty ratio modulation circuit 20. A duty ratio is changed according to the error voltage which the error amplifier 28 generates. The current of Inductor  $L$  flows into the parallel connection of the output capacitor 30 and a load 32. On a switching frequency, since the impedance of a capacitor 30 is farther [ than that of a load 32 ] small, a capacitor filters most AC components of an inductor current, it removes, and all the direct currents are sent out to a load 32 as a matter of fact.

[0008] If there is no series resistance machine  $R_S$ , the electrical potential

difference fed back to a circuit 26 will become equal to  $V_{out}$ , and the response to the step change in the load current of a regulator will serve as it of a typical switching regulator. The output voltage  $V_{out}$  of the regulator to step change of the load current  $I_{load}$  shown in drawing 2 R>2b is shown in drawing 2 a. Since it cannot change in an instant, if  $I_{load}$  changes suddenly,  $V_{out}$  will fall in the shape of a spike, and, finally, as for the current of  $L$ , a control loop will pull back  $V_{out}$  on the nominal-output electrical potential difference  $V_{nom}$ . Similarly, when  $I_{load}$  falls in the shape of a step after that,  $V_{out}$  goes up in the shape of a spike, and returns to  $V_{nom}$  after that. The total deflection in output voltage  $\Delta V_{out}$  to step change of the load current is determined by the difference between two peaks of an electrical-potential-difference spike. When the regulator is restrained by the narrow load transient response specification, this deflection may exceed the tolerance allowed.

[0009] connecting Resistance  $R_S$  to Inductor  $L$  and a serial -- (-- an output terminal 34 -- setting --) --  $\Delta V_{out}$  can be decreased. To step change of the load current shown in drawing 3 b, when  $R_S$  is included, one of the possible responses is shown in drawing 3 a. When  $R_S$  is contained in a proper place, a control loop does not already restore  $V_{out}$  to  $V_{nom}$ , and restores  $V_{out}$  to the electrical potential difference given with the value which subtracted the product of  $\Delta I_{load}$  and  $R_S$  from the electrical potential difference in a terminal 34 rather. That is, only  $\Delta I_{load} \cdot R_S$  becomes high rather than the case where the steady state value of  $V_{out}$  to a light load receives a heavy load. By making  $R_S$  almost equal to ESR of an output capacitor, some narrow  $\Delta V_{out}(s)$  can be obtained rather than it is obtained, when not using  $R_S$ .

[0010] About the fault of the circuit of drawing 1, one of them is shown in drawing 4 R>4a and drawing 4 b. In this case, the load current (drawing 4 b) falls in the shape of a step again, before  $V_{out}$  (drawing 4 a) stabilizes in a steady state value. If high rather than  $V_{out}$  can set to drawing 3 a when  $I_{load}$  falls, the peak of a upward  $V_{out}$  spike will also become high and overall deflection  $\Delta V_{out}$  will become larger than the case of being other. Thus, in order for that

deflection becomes large to fulfill a narrow output voltage deflection specification especially, a regulator 10 must use a bigger output capacitor and the ESR means becoming small-like proportionally. Since the cost of a capacitor is in inverse proportion to that ESR in approximation, as for costs, it may start [ fulfilling this specification ] too much.

[0011] Another fault of the circuit of drawing 1 is that remarkable power consumption is needed for the series resistance machine RS. For example, if RS is assumed to be 5mohm and a maximum load current is assumed to be 14.6A, the consumption in RS will be set to 1.07W.

[0012] In improving the load transient response of a regulator, the technique using a different control principle D. "V2 of Goder (D. GODA) and W.R.Pelletier (W. R. PERECHIA) Architecture Provides Ultra-Fast Transient Response in Switch Mode Power Supplies" (V2 architecture brings about a ultra high-speed transient response in a switch-mode power supply), HFPC It is indicated by Proceedings and 19 - 23 pages in PowerConversion and September, 1996. The regulator indicated in this contains an output inductor and a capacitor same with having been shown in a push and pull switch, a driver circuit, an error amplifier, and drawing 1 . The signal showing the output voltage of a regulator is supplied to both error amplifier and an electrical-potential-difference comparator. An electrical-potential-difference comparator also receives the output of error amplifier. When the output voltage of a regulator exceeds the output of an error amplifier, the output of a comparator shifts to quantity, carries out the trigger of the monostable multivibrator, and turns OFF an upper switching transistor covering a predetermined time interval.

[0013] The transient response of this circuit is designed so that it may become more nearly high-speed than that of the circuit of drawing 1 . The step of the load current changes the electrical potential difference in a comparator immediately, bypasses blunt error amplifier, and shortens the response time by this. However, even if the response time becomes short, the configuration of response trace can be similar with what is still shown in drawing 3 a, and any improvement cannot

almost be found in the magnitude of  $\Delta V_{out}$ .

[0014] Another switching regulator is "Fueling of L.Spaziani (L. SUPATCHIANI). the Megaprocessor ? DC/DC Converter Design Review Featuring the UC3886 and UC3910" (examination of the DC/DC converter design characterized by electric supply ?UC3886 of a megger processor, and UC3910), Unitrode Application Note It is indicated by U?157, 3?541, or 3?570 pages. The control principle which adjusts by controlling the average of the current in an output inductor and which is known as "average current control" is used for this regulator. A resistor is connected to the output inductor of a regulator, and a serial, current detection amplifier (CSE:current sense amplifier) is connected between this resistor, and an inductor current is detected. The output of CSE is supplied to current error amplifier with the output of electrical-potential-difference error amplifier. Electrical-potential-difference error amplifier compares the output voltage of a regulator with reference voltage. A comparator receives a saw-tooth-wave clock signal in the output of current error amplifier, and the input of another side in one input. A comparator generates a pulse-width-modulation output and drives a push and pull switch through a driver circuit.

[0015] In actuation, according to increase of the load current, output voltage decreases and the error signal from electrical-potential-difference error amplifier increases. For this reason, the duty ratio of the pulse which the output from a current error amplifier increases, therefore a comparator generates becomes large. Then, the current in an output inductor increases and output voltage is pushed up. Electrical-potential-difference error amplifier is constituted so that non-storage gain may be given, and this is combination with average current control, and gives limited and controllable output resistance to a regulator. Thereby, positioning of output voltage becomes being the same as that of the mode to which the series resistance machine  $R_S$  affects the response of the circuit of drawing 1 . However, the response obtained is similar to it of drawing 3 a also in this case, and  $\Delta V_{out}$  may still exceed a narrow output voltage deflection specification as clearly shown in drawing 32 of bibliography.

[0016]

[Problem(s) to be Solved by the Invention] The problem described previously is conquered, and the approach and circuit where a voltage regulator can obtain the optimal response to a big bidirectional load transient are offered, using the minimum output capacitor as much as possible.

[0017]

[Means for Solving the Problem] As for this invention, it is desirable to hold down the size and cost of an output capacitor to min, and it means using with the voltage regulator which must maintain the output voltage within the boundary specified to a big bidirectional step change of the load current. A regulator is compensated so that the response which becomes flat may be secured after generating of the peak deflection which adopts the output capacitor which has the combination of the equivalent series resistance (ESR) greatest as much as possible and the capacity minimum as much as possible, and is called "the minimum response" here with which it compensates that the peak pair peak voltage deflection to the bidirectional step change in the load current is below permission maximum in attaining these targets. If these conditions are fulfilled, the output capacitor of a regulator will turn into the minimum capacitor for which it makes it possible to stop output voltage within the boundary specified to the bidirectional step change in the load current as much as possible. This invention is applicable to both switching and a linearity voltage regulator.

[0018] Still more nearly another description and advantage of this invention will become clear to this contractor by referring to the following detailed explanation with an accompanying drawing.

[0019]

[Embodiment of the Invention] This invention provides the output of a voltage regulator with a means to determine the usable capacitor minimum as much as possible, in the application which needs big bidirectional step status change-ization for the load current. Thereby, the output voltage of a regulator becomes possible [ maintaining within the boundary specified to given step size ]. Here,

the given step change in the load current is identified as  $\Delta I_{load}$ , and a permissible output voltage deflection specification is identified as  $\Delta V_{out}$ . When using here, "the output capacitor minimum as much as possible" shall mean the thing of an output capacitor which has the capacity value minimum as much as possible and the greatest ESR value minimum as much as possible which may be allowed which enables a regulator to fulfill  $\Delta V_{out}$  specification. Since the cost of a capacitor tends to be proportional to the capacity directly in inverse proportion to the ESR, and since space is almost always precious on a circuit board, this invention makes it possible to minimize the cost and the requirements for space for an output capacitor.

[0020] This invention will use the reality which enables a regulator to fulfill given  $\Delta V_{out}$  specification in which there is the minimum output capacitor as much as possible, if the voltage regulator constituted proper is used. When the effectiveness of the equivalence serial inductance of an output capacitor is disregarded, step change  $\Delta I_{load}$  of the load current makes the output voltage of a voltage regulator generate initial change. This is equal to ESR (here, it identifies as  $R_e$ ) of a capacitor and the product of  $\Delta I_{load}$ , i.e.,  $R_e \cdot \Delta I_{load}$ . This initial change is produced to a load current step above and down [ both ]. When it is beyond the "critical (critical)" value  $C_{crit}$  with the capacity  $C$  of an output capacitor (it discusses in detail below), output voltage deflection cannot exceed an early  $R_e \cdot \Delta I_{load}$  change. When  $C$  is under  $C_{crit}$ , output voltage deflection continues increasing, before beginning to restore after that after early  $R_e \cdot \Delta I_{load}$  changes.

[0021] The regulator of the conventional technique is usually designed so that output voltage may be again driven toward nominal value after transient generating of a load. However, if it does in this way, overall output voltage deflection  $\Delta V_{out}$  may reach even the twice of  $R_e \cdot \Delta I_{load}$ . If the load current goes up in the shape of a step, as for  $V_{out}$ , only  $R_e \cdot \Delta I_{load}$  will fall from nominal voltage. When the load current has stopped at quantity sufficiently long, as for a regulator,  $V_{out}$  is again driven to nominal voltage. Here, if the load



current falls in the shape of a step again, as for  $V_{out}$ , only  $R_e \cdot \Delta I_{load}$  will go up in the shape of a spike, and, as a result, full power voltage deviation will be set to  $2 (R_e \cdot \Delta I_{load})$ .

[0022] I hear that the response that whose the fault which is inherent in the control approach for the magnitude of  $\Delta V_{out}$  of the regulator of the conventional technique has been recognized, and was found generates the optimal load transient response, i.e., the minimum output voltage deflection  $\Delta V_{out}$ , is a response which stops at the voltage deviation boundary by the side of Gokami of a downward load current step uniformly, and stops at it uniformly on the voltage deviation boundary of the back bottom of a upward load current step, and there was. This invention offers the approach of constituting a regulator so that the load transient response of a regulator may serve as this theoretical optimum value or its near. Moreover, it turned out that it is the minimum capacitor which can be used in order that an output capacitor required in order to attain this response may fulfill the specification of  $\Delta V_{out}$  as much as possible.

[0023] The target to obtain the optimal response is attained, and many steps must be performed in order to specify the minimum capacitor which makes possible given  $\Delta V_{out}$  specification which should be fulfilled by this as much as possible. The maximum equivalent series resistance  $R_e (max)$  is determined to the output capacitor which the voltage regulator which first receives constraint of voltage deviation assignment  $\Delta V_{out}$  specified to bidirectional step change  $\Delta I_{load}$  of the load current adopts. According to Ohm's law,  $R_e (max)$  is given by  $R_e(max) = \Delta V_{out} / \Delta I_{load}$ . When  $R_e$  of an output capacitor is as larger as possible than  $R_e (max)$ , the initial deviation of  $V_{out}$  to step change of the load current equal to  $\Delta I_{load}$  surely exceeds  $\Delta V_{out}$ .

[0024] The following step is determining the above-mentioned "critical" capacity value  $C_{crit}$ . It be the thing of the amount of the capacity which make the inclination of output voltage zero in case it go up to the letter of an inclination with the inclination of the max allow the current pour in by the regulator toward the

parallel connection of a load and output capacitor when it connect at juxtaposition between the loads which drive critical capacity by the voltage regulator ( as the output capacitor of a regulator ) by physical limit of a regulator ( or descent ) , namely , make flat after an early  $Re \cdot \Delta I_{load}$  change . The thing of the greatest inclination allowed by physical limit of a regulator is made to call it "the inclination for maximum good (maximum available slope)" here.

[0025] The critical capacity  $C_{crit}$  is given by the following formula.

[0026]

[Equation 11]

$C_{crit} = \Delta I_{load} / m Re_{(max)}$  (formula 2)

Here,  $\Delta I_{load}$  is an inclination value relevant to the current which turned the maximum anticipation load current step and  $Re_{(max)}$  to the maximum-permissible output capacitor ESR (it calculated previously), turned  $m$  to the parallel connection of an output capacitor and an output load, and was poured in, and discusses below the approach of determining  $m$  and its value.

[0027] The inclination parameter  $m$  is shown in drawing 5 a thru/or drawing 5 c. Drawing 5 a shows the load current wave over an above step. Drawing 5 b shows the current which the regulator poured in towards an output capacitance when a regulator generates the output current in the inclination  $m$  for maximum good, and the parallel connection of an output load. Drawing 5 c shows the current in an output capacitor, and this current is equal to the difference of the load current and an inrush current.

[0028] When the capacity of regulator \*\* is larger than  $C_{crit}$  ( drawing 5 d), and when smaller than  $C_{crit}$  ( drawing 5 e), as for drawing 5 d and drawing 5 e, the size of the output capacitor of a regulator affects  $V_{out}$  how, and a regulator shows pouring in a current with the inclination for maximum good towards the parallel connection of a capacitor and a load. In  $C > C_{crit}$ , it is begun to restore  $V_{out}$  immediately after generating of initial  $\Delta I_{load} Re$  change. However, in  $C < C_{crit}$ , after initial  $\Delta I_{load} Re$  change continues increasing and, finally, the deflection of output voltage is restored after that.

[0029] The inclination value  $m$  over a given regulator is influenced by the configuration. Generally,  $m$  is decided as follows.

- 1) Determine the absolute value of the inclination for maximum good of the current which a voltage regulator pours in towards the parallel connection of an output load and an output capacitor to the increment in a step of the load current equal to  $\Delta I_{load}$ .
- 2) Determine the absolute value of the inclination for minimum good of the current poured in towards the parallel connection of an output load and an output capacitor to step reduction of the load current equal to  $\Delta I_{load}$ . An inrush current will have negative inclination as a result of the step-like reduction in the load current. As opposed to step-like reduction in [ as opposed to / next / this step ] "load current ... Inclination" for maximum good becomes equal to the greatest negative inclination.
- 3) Judge the which one is small between two absolute values. This is the inclination for maximum good of the "worst situation." The smaller one serves as a value  $m$  between two absolute values, and it is used in the formula for which it asked here.

[0030] The inclination  $m$  for maximum good of the worst situation is clearly defined in a switching regulator by the input voltage  $V_{in}$ , its output voltage  $V_{out}$ , and the inductance  $L$  of the output inductor. For example, in a buck type voltage regulator (buck type voltage regulator),  $m$  can be decided as follows. When  $V_{out}$  is under  $V_{in}-V_{out}$ ,  $m$  is given by  $m=V_{out}/L$ . When  $V_{out}$  is larger than  $V_{in}-V_{out}$ ,  $m$  is given by  $m=(V_{in}-V_{out})/L$ .

[0031] The inclination for worst situation maximum good is not so defined clearly by the linearity voltage regulator. This is dependent on many factors which also include the value of the load current as compensation of the electrical-potential-difference error amplifier, the physical characteristic of the semiconductor device, and possibility.

[0032] Two optimal load transient responses which can be attained by this invention are shown in drawing 6 and drawing 7 . Drawing 6 a shows the optimal

load transient response to the bidirectional step in the load current shown in drawing 6 b about the regulator constituted proper, when the capacity C of an output capacitor is more than Ccrit. Since C is more than Ccrit, maximum output voltage deviation is restricted to  $R_e \cdot \Delta I_{load}$ . Drawing 7 a shows the optimal load transient response to bidirectional step change  $\Delta I_{load}$  in the load current of drawing 7 b, when the capacity of the output capacitor of the regulator constituted proper is under Ccrit. After the initial step ( $= R_e \cdot \Delta I_{load}$ ) produced by  $R_e$  of a capacitor,  $V_{out}$  inclines toward a steady state value gradually, and subsequently to, it stops uniformly in a steady state value until the load current falls in the shape of a step and returns. It can be shown that peak voltage deflection  $\Delta V_{out}$  in this case is given by the following formula.

[0033]

[Equation 12]

$$\Delta V_{out} = \Delta I_{load}^2 / 2 m C + m C R_e^2 / 2 \quad (\text{formula 2})$$

$m$  and  $\Delta I_{load}$  are the same also in a formula 1 here, and  $C$  and  $R_e$  are the capacity and ESR of the output capacitor to be used, respectively. The approach of guaranteeing it not exceeding the peak voltage deflection given by the formula 2 still more even if this invention is the case where the capacitor which has the capacity of under Ccrit must be used is offered. Therefore, when using here, as shown in drawing 6 a, a regulator answers the load current step of size  $\Delta I_{load}$ , and "the optimum response (optimum response) of initial output voltage deflection" to the regulator which has the output capacitor of a bigger capacity than Ccrit is equal to  $\Delta I_{load} \cdot R_e$ , and stops uniformly to the following load current step. When the capacity of an output capacitor is under Ccrit, an optimum response comes to be shown in drawing 7 a, and peaking capacity voltage deviation is given by the formula 2, and stops uniformly to the following load current step.

[0034] Once it determines the value of  $m$  to a given regulator, the capacitor (based on drawing 6 a or drawing 7 a) of the minimum size by which an optimum response is obtained can be determined. The capacitor of the minimum size is

the capacity C and ESR with which are satisfied of the following formulas. It has the combination of Re.

[0035]

[Equation 13]

$C_{min} = [\Delta I_{load} / (2m + mTC^2/2)] / \Delta V_{out}$  (formula 3)

Here, the inclination value which calculated m previously, the maximum allowable-voltage deflection to step change of the load current with  $\Delta V_{out}$  equal to  $\Delta I_{load}$ , and TC are property time constants (it discusses below).

[0036] The minimum size with which are satisfied of a formula 3 exists to the class of given capacitor. For example, (Aluminum aluminum) electrolyte capacitor, a ceramic condenser, and an OS-CON (aluminum which has organic-semiconductor electrolyte) capacitor are contained in the class of capacitor.

Selection of the class of output capacitor is influenced according to many factors. In a switching regulator, one of the important points taking into consideration is a switching frequency. There is an inclination which uses aluminum electrolyte capacitor in the design (for example, 200kHz) of low frequency, by intermediate frequency design (for example, 500kHz), there is an inclination which uses an OS-CON capacitor and there is an inclination which uses a ceramic condenser by high frequency design (1MHz or more).

[0037] Once it chooses the class of capacitor, the property time constant TC will be determined. This is given by the product of the ESR and its capacity. Since ESR of a capacitor will tend to decrease if the capacity increases, TC tends to become almost fixed to the capacitor of a given class and a voltage rating. For example, a standard low-voltage (for example, 10V) aluminum electrolyte capacitor has a property time constant for about 40 microseconds (for example,  $2m\Omega \times 20mF$ ), a ceramic condenser has a property time constant for about 100ns (for example,  $10\mu\Omega \times 10mF$ ), and an OS-CON capacitor has a property time constant for about 4 microseconds (for example,  $100\mu\Omega \times 40mF$ ).

[0038] According to a formula 3, the minimum capacity is decided using TC

determined to the class of selected capacitor. Min ESR  $R_e(\max)$  is given by the following formula.

[0039]

[Equation 14] It is small ESR somewhat from this preferably [ it is equal to the desirable larger capacity  $C$  and  $R_e(\max)$  equal to  $R_e(\max) = TC/C_{\min}C_{\min}$  or than this, or ]. The capacitor which has  $RC$  is used as an output capacitor of a regulator. In beyond the  $C_{\text{crit}}$  value which  $C$  calculated previously, the response by drawing 6 a is obtained. When  $C$  is under  $C_{\text{crit}}$ , a response like drawing 7 a is attained. Using the output capacitor which has ESR equal to capacity and  $R_e(\max)$  equal to  $C_{\min}$  does not recommend, although it is permissible. If it carries out like this, it will become a practically childish design and the safety margin to tolerance, secular change, temperature, etc. will not be obtained. Choosing the capacitor which, on the other hand, has ESR quite smaller than  $R_e(\max)$  does not recommend, either. It is because a capacitor tends to serve as cost quantity so that ESR is small. Once it decides the ESR value of an output capacitor, it will comment on the capacity  $C$  being mostly determined by selection of the class of capacitor. Therefore, although  $C$  may become quite larger than  $C_{\text{crit}}$ , within the limits of the selected capacitor class, the size of a capacitor is still in the minimum state.

[0040] After choosing an output capacitor, it is necessary to constitute a voltage regulator so that the response may have the optimal configuration shown in drawing 5 a (when it is  $C > C_{\text{crit}}$ ) or drawing 6 a (when it is  $C < C_{\text{crit}}$ ). In order to attain an optimum response in  $C > C_{\text{crit}}$ , a voltage regulator is constituted so that the output impedance (the impedance of an output capacitor is included) of a voltage regulator may serve as resistance and may become equal to ESR of an output capacitor. In  $C < C_{\text{crit}}$ , an optimum response is the inclination for maximum good at association of a load and an output capacitor, and it is guaranteed only by making a current pour into a regulator until it reaches peak deflection. In this case, since a regulator operates in the nonlinear mode to the part of this response, it is unchanging to selection of an output impedance being possible so

that the optimal output impedance cannot be defined or the almost optimal response may be obtained.

[0041] One operation gestalt of the voltage regulator by this invention is shown in drawing 8 . The good control power stage 50 answers the control signal received in a characterization eclipse and a control input 53 by Transconductance  $g$ , and generates an output  $V_{out}$  to the output node 52. The power stage 50 drives a load 54. It connects with juxtaposition between loads, and the output capacitor 56 is divided and shown in the capacitive component  $C$  and an equivalent-series-resistance  $R_e$  component here. The feedback circuit 58 is connected between the output node 52 and the control input 53.

[0042] The electrical-potential-difference error amplifier 59 can be included, and the signal with which output voltage  $V_{out}$  is expressed in the 1st input 60 is connected so that reference voltage may be received in the 2nd input, and a feedback circuit 58 generates the output 62 changed with the difference electrical potential difference during the input. With the operation gestalt shown in drawing 8 , when the optimal load transient response 56, i.e., a capacitor, is more than  $C_{crit}$  and the optimal load transient response by drawing 6 a and a capacitor 56 are under  $C_{crit}(s)$ , the optimal load transient response by drawing 7 a is attained by compensating the electrical-potential-difference error amplifier 59 so that gain  $K(s)$  may be given by the following formula.

[0043]

[Equation 15]

$$K(s) = - (1/gR_0) (1/(1+sReC)) \text{ (formula 4)}$$

Here,  $g$  is the transconductance of the good control power stage 50,  $C$  and  $R_e$  are the capacity and ESR of the output capacitor 56, respectively, and it is the amount to which  $s$  is given to with complex frequency and  $R_0$  is given by the following formula.

[0044]

[Equation 16]

In  $C \geq C_{crit}$ , it is  $R_0 = R_e$ . (formula 5)

[0045]

[Equation 17]

In  $C < C_{crit}$ , it is  $R_0 = (\Delta I_{load} / 2mC) + (mC R_{e2} / 2\Delta I_{load})$ .

(Formula 6)

Here,  $C$  and  $R_e$  are the capacity and ESR of the output capacitor 56, respectively,  $m$  is the absolute value (it is as having discussed about the decision of  $C_{crit}$ ) of the liminal gradient of the current poured in towards the parallel connection of the output capacitor 56 and a load 54, and  $\Delta I_{load}$  is the maximum load current step designed so that a regulator might cope with it.

[0046] The value of  $R_0$  defined in the formula 5 and the formula 6 serves as a scale of the peak voltage deflection of a regulator. When  $C$  is more than  $C_{crit}$ , it came to have defined gain [ of the electrical-potential-difference error amplifier 59 ]  $K(s)$  as a formula 4, and the joint output impedance of a regulator and the output capacitor 56 becomes equal to the equivalent series resistance  $R_e$  of an output capacitor. Therefore, peak voltage deflection serves as  $\Delta I_{load} \cdot R_0$ , and, in  $C \geq C_{crit}$ , this is equal to  $\Delta I_{load} \cdot R_e$ .

[0047]  $C$  was under  $C_{crit}$ , and when it is as gain [ of the electrical-potential-difference error amplifier 59 ]  $K(s)$  having defined it as the formula 4, it came to have defined peak voltage deflection  $\Delta V_{out}$  as a formula 2. When  $C$  is under  $C_{crit}$ , a system cannot become nonlinear, therefore a regulator cannot attain the optimum transient response shown in drawing 6 a. However, if the transfer function which compensates the electrical-potential-difference error amplifier 59, and is given by the formula 4 is formed, the transient response in practice possible nearest to the ideal response of drawing 6 a will be obtained.

[0048] The good control power stage 50 is limited to neither of the specific configurations. The power stage 50 is constituted so that power modal control may be performed, and a power stage has transformer resistance equal to  $R_S$ , and includes reception and the power circuit 68 which answers and generates output voltage  $V_{out}$  in drawing 8 for the output 67 from the current controller which generates reception and an output 67 for the output of the current sensor



which generates the output signal changed with the output current of a power stage, and a current sensor, and the output 62 of electrical-potential-difference error amplifier as an input, and a current controller. This invention is applicable to both a linearity regulator and a switching regulator. In a linearity regulator, a power circuit 68 is a serial pass transistor, and the current controller 66 is amplifier. In a switching regulator, either of much topology containing a control mold switch, diode, an inductor, a transformer, and a component part like a capacitor can have a power circuit 68. For example, the typical power circuit of a back mold switching regulator is shown in drawing 1 . This contains the output inductor L connected among one pair of joints of the control switches 14 and 16-ed and a switch, and the output of a regulator.

[0049] For the current controller 66 of a switching regulator, two formats are possible. That is, they are an instant mold and an average mold. Instantaneous-carrying-current control For example, A.S.Kislovski (A. S. kiss lob clearance), R. Redl (R. REDORU) and N.O.Sokal (N. O. SOKARU), Dynamic analysis of switching?mode DC/DC converters (dynamic analysis of a switching mode DC/DC converter), Van Nostrand As indicated by Reinhold (1991) and 102 pages It has at least six kinds of different low order formats. Fixed off time amount peak current control, Fixed ON time amount ballet current control, hysteria tick control (hysteretic control), constant frequency peak current control, constant frequency ballet current control, and PWM conductance control are included. Although an instantaneous-carrying-current controller can change the current in an output inductor within a 1 switching period, it usually requires for several terms to change an inductor current by average current control. Although the instantaneous-carrying-current control is more desirable because of this reason, an average current controller has the response with a current control loop quick enough, and it is usable in order to realize this invention. However, this embodiment has the fault of needing current error amplifier, and causes the complexity of a regulator circuit, and the rise of cost.

[0050] Drawing 9 is the schematic diagram of 1 possible operation gestalt of the

switching voltage regulator by this invention. As for the electrical-potential-difference error amplifier 59, the feedback circuit 58 is constituted from this operation gestalt by the operational amplifier 70, the input resistor R1, the feedback resistor R2, and the feedback capacitor C1 including the electrical-potential-difference error amplifier 59. The joint during these switches is connected to the output inductor L including one pair of switches 72 and 74 to which the power circuit 68 was connected between  $V_{in}$  and touch-down. The resistor 75 which has Resistance  $R_S$  realizes and the current sensor 64 is connected to the serial between Inductor L and the output node 52.

[0051] The current controller 66 is a fixed off time amount peak current control mold controller, and contains the electrical-potential-difference comparator 76. The input of the electrical-potential-difference comparator 76 is connected to the output of the inductor side of a resistor 75, and an adder circuit 78. An adder circuit 78 generates an electrical potential difference equal to the output Z to the sum of the electrical potential difference of the X and Y input. X is connected so that the output 62 of the electrical-potential-difference error amplifier 59 may be undergone, and Y is connected to the output side of the current detection resistor 75. Moreover, an adder circuit 78 has the fixed gain k, and has the gain stage 80 connected between the output of the electrical-potential-difference error amplifier 59, and its X input. Gain k must be more sharply [ than a unit, 0.01 / for example, /, ] small, when it is expected that output voltage  $V_{out}$  and the criteria resistance  $V_{ref}$  are almost equal. The output of a comparator 76 is connected to the monostable multivibrator 82, and the output is supplied to the drive circuit 83 through the logic inverter 84. The drive circuit 83 drives the switches 72 and 74 of a power circuit 68 including the high order driver 86 and the low order driver 88, respectively.

[0052] The actuation of the switching regulator circuit of drawing 9 is as follows. When the product of the current in Inductor L and the resistance  $R_S$  of a resistor 75 exceeds the error voltage which the electrical-potential-difference error amplifier 59 generates, the output of the electrical-potential-difference

comparator 76 serves as quantity, and carries out the trigger of the monostable multivibrator. The logic inverter 84 reverses the high power of a multivibrator 82, makes the high order switch 72 changed to the high order driver 86 off, and makes ON change the low order switch 74 to the low order driver 88. Consequently, the current of Inductor L begins to decrease. After it has related timing interval  $T_{off}$  and timing interval  $T_{off}$  passes, a monostable multivibrator 82 reverses the condition of switches 72 and 74, and the current in Inductor L begins to increase it. An inductor current's excess of SURESHIHORUDO of a comparator 76 repeats a cycle. In order to perform output voltage adjustment, SURESHIHORUDO of the electrical-potential-difference comparator 82 is changed by the adder circuit 78 using the error voltage from the error amplifier 59.

[0053] If constituted according to this invention, the switching voltage regulator of drawing 9 will obtain the almost optimal load transient response shown in the simulation plot of the load current  $I_{load}$  and output voltage  $V_{out}$  as shown in drawing 10 a and drawing 10 b, respectively. In this example, the load current changes from 0.56A to 14.56A, and return ( $\Delta I_{load}=14A$ ) and permission output voltage deflection  $\Delta V_{out}$  is 0.07V. The parameter value of a switching regulator is as follows.

[0054]  $V_{in}=5V$ ,  $V_{ref}=2.8V$ ,  $L=3$  microhenries,  $C=10mF$ ,  $R_e=5mohm$ ,  $R_S=5mohm$ ,  $k=0.01$ ,  $\Delta I_{load}=14A$ ,  $\Delta V_{out}=0.07V$ .

[0055]  $R_e$  of an output capacitor is admission within the limits defined by  $R_e(max) = \Delta V_{out} / \Delta I_{load}$ , and comments on it being equal to  $0.07V/14A=5mohm$  here.

[0056] In this example, since  $V_{out} (=V_{ref})$  is larger than  $V_{in}=V_{out}$ ,  $m$  is given by the following formulas.

[0057]

[Equation 18]  $m=(V_{in}-V_{out})/L=[(5-2.8) V] / 3 \text{ microhenry}=0.733 A/\mu s$

expression 1 to the critical capacity  $C_{crit}$  is [0058] given by the following formula.

[Equation 19] Since  $C_{crit}=14A/[(0.733A/\mu s) (5mohm)]=3.818mF$   $10mF$  is larger than  $3.814mF(s)$ , as for  $C$ ,  $R_0$  (given by the formula 5) becomes equal to  $R_e$

more greatly than  $C_{crit}$  therefore. In order to attain this, the electrical-potential-difference error amplifier 59 is compensated if needed, and the transfer function of a formula 4 is obtained. This compensation will be performed, if the following two formulas are satisfied when realizing the electrical-potential-difference error amplifier 59, as shown in drawing 9 .

[0059]

[Equation 20]

$$K \cdot (R_2/R_1) = 1/(g \cdot R_0) \text{ (formula 7)}$$

[0060]

[Equation 21]

$$R_e \cdot C = R_2 \cdot C_1 \text{ (formula 8)}$$

The value of  $g$  is determined by the transformer resistance of a current sensor 64, and the embodiment of the current controller 66. When the 1st step of a current controller is an electrical-potential-difference comparator (it is this case like),  $g$  is equal to the reverse of the transformer resistance of a current sensor 64. When realizing a current sensor by resistance, transformer resistance only serves as resistance of a resistor (therefore this example  $g = 1/R_S$ ). When the following component values are used, it is satisfied with this example of a formula 7 and a formula 8.

[0061]

As the wave of  $R_1 = 1\text{k}\Omega$  and  $R_2 = 100\text{k}\Omega$  and  $C = 500\text{pF}$  [ of  $C$  ] drawing 10 b shows, an output voltage response corresponds to the resistance output impedance of  $5\text{m}\Omega$ , and is equal also to ESR of an output capacitor.

[0062] The 1 alternative embodiment of a feedback circuit 58 is shown in drawing 11 . Here, the electrical-potential-difference error amplifier 59 is realized using the transconductance amplifier 90. Transconductance amplifier is characterized by the output current being proportional to the electrical-potential-difference difference between a noninverting input and a reversal input. The proportionality coefficient between the output current and an input difference electrical potential difference serves as the transconductance  $g_m$  of amplifier. The voltage gain of

transconductance mold electrical-potential-difference error amplifier is equal to the product of the impedance connected to the output of the transconductance amplifier 90, and Transconductance gm.

[0063] The embodiment of the electrical-potential-difference error amplifier shown in drawing 9 and drawing 11 serves as equivalence, when satisfying the following three formulas.

[0064]

[Equation 22]

$gm[(R3R4)/(R3+R4)] = R2/R1$  Formula 9 [0065]

[Equation 23]

$VCC[(R4)/(R3+R4)] = Vref$  Formula 10 [0066]

[Equation 24]

$C2 [(R3R4)] / [(R3+R4)] = C$  one R2 Satisfaction of each of a formula 11 therefore a formula 9, a formula 10, and a formula 11 obtains the transfer function defined as the formula 4 about the electrical-potential-difference error amplifier 59 shown in drawing 11 .

[0067] This invention is not necessarily limited to using with the current modal-control mold voltage regulator containing electrical-potential-difference error amplifier. One possible operation gestalt of this invention which does not use current modal-control or electrical-potential-difference error amplifier, either is shown in drawing 12 . With this operation gestalt, the good control power stage 100 generates output voltage Vout according to the electrical-potential-difference difference between one pair of inputs 102, and 104. A power stage includes the power circuit 68 controlled by the high-speed electrical-potential-difference controller 105 which receives an input. In a switching voltage regulator, the high-speed electrical-potential-difference controller 105 has the description of enlarging quickly the duty ratio of the pulse train in the output, when the forward electrical-potential-difference difference which may be perceived appears between an input 102 and 104. In a linearity voltage regulator, the high-speed electrical-potential-difference controller 105 is usually realized using a broadband

operational amplifier.

[0068] Moreover, the operation gestalt of drawing 12 generates the output changed with the output current of a regulator also including the current sensor 106 which has the transformer resistance  $R_S$  connected to the serial between the output of the power stage 100, and the output node 52. The output of a current sensor is connected to one input of an adder circuit 108, and the 2nd input of an adder circuit is connected to the output node 52. An adder circuit generates output voltage equal to the sum of the input, and connects it to the input 102 of the power stage 100.

[0069] The input 104 of the power stage 100 is connected to the node 110 located in the join between one pair of impedances  $Z_1$ , and  $Z_2$ . Impedances  $Z_1$  and  $Z_2$  are connected to the serial between the output node 52 and the electrical-potential-difference criteria 112. As shown in drawing 12, when it constitutes a regulator, an optimum transient response is obtained by adjusting the ratios  $Z_2/Z_1$  of two impedances according to the following formula.

[0070]

[Equation 25]

$$Z_2 / Z_1 = [(R_0(1+sReC)-R_S) / R_S \text{ (formula 12)}]$$

Here,  $R_0$  is defined by the formula 5 and the formula 6,  $R_S$  is resistance of a current sensor 106 and  $Re$  and  $C$  are ESR and capacity of the output capacitor 56 to adopt.

[0071] One embodiment of the operation gestalt of the voltage regulator of drawing 12 is shown in drawing 13. The high-speed electrical-potential-difference controller 105 is realized by the hysteresis tele tick comparator (hysteretic comparator) 130, and the output is connected to the drive circuit 132. The drive circuit 132 contains the high order driver 134 and the low order driver 136. A power circuit 68 is driven by drivers 134 and 136 including the high order switch 138 and the low order switch 140, respectively. The output inductor  $L$  is connected to the joint during a switch. The hysteresis tele tick comparator 130 turns OFF a high order switch, when output voltage is supervised and output

voltage exceeds top SURESHIHORUDO of a comparator. A high order switch is again turned on, when output voltage falls under to bottom SURESHIHORUDO of a comparator.

[0072] The current sensor 106 and the adder circuit 108 are realized by the series resistance machine 142 which has Resistor RS. An impedance Z1 is realized by the parallel connection of a capacitor C4 and a resistor R6, and the impedance Z2 is realized by resistance R7.

[0073] In order for the output impedance of the switching regulator of drawing 13 to become equal to resistance R0, the resistance ratio of resistors R6 and R7 must be given by the following formula.

[0074]

[Equation 26]  $R7 / R6 = (R0 - RS) / RS$  and also the capacity of a capacitor C4, and the product of resistance of a resistor R6 must be given by the following formula.

[0075]

[Equation 27]  $C4R6 = C[(R0Re)/R3]$

Although it will accept to this contractor in the engineering of a voltage regulator easily, the embodiment and operation gestalt of a voltage regulator which were discussed previously are only only instantiation. As long as it carries out so that the approach of this invention may be indicated here even if it uses much of other circuitry, the optimal transient response and the target of this invention called the output capacitor minimum as much as possible can be attained.

[0076] The approach of this invention indicated here can be shown as a general design procedure, can be applied to the design of both linearity and a switching voltage regulator, and corresponds also to use of both output capacitor that has the output capacitor and the capacity below this which have the capacity exceeding the critical capacity defined previously. This design procedure can be carried out according to the following steps.

[0077] 1. Choose the class of classes (aluminum electrolyte, a ceramic, OS-CON capacitor, etc.) of capacitor used as an output capacitor of a voltage regulator

required in order to maintain regulation output voltage within voltage deviation specification  $\Delta V_{out}$  specified to step change  $\Delta I_{load}$  in the load current.

[0078] 2. Determine the property time constant  $TC$  to the class of selected capacitor. This is defined as a product of the ESR and its capacity, as explained previously.

[0079] 3. Determine the absolute value of the inclination for minimum good of the current poured in towards the parallel connection of an output load and an output capacitor to step-like increase of the load current equal to  $\Delta I_{load}$  to step-like reduction of the load current equal to the absolute value and  $\Delta I_{load}$  of the inclination for maximum good of the current which a voltage regulator pours in towards the parallel connection of an output load and an output capacitor. This is performed as the formula 1 was explained.

[0080] The smaller one is determined among 4.2 absolute values. The absolute value of the smaller one is identified as  $m$ .

[0081] 5. Determine the 1st capacity  $C_0$  according to the following formulas.

[0082]

[Equation 28]

Resistance  $R_{e0}$  is determined according to the formula below  $C_0 = [\Delta I_{load}^2 / (2m + mTC^2/2)] / \Delta V_{out}$ .

[0083]

[Equation 29] The critical capacity value  $C_{crit}$  is determined according to the formula below  $R_{e0} = TC/C_0$ .

[0084]

[Equation 30] In  $C_{crit} = \Delta I_{load} / mR_{e0}$ ,  $C_0 < C_{crit}$ , the output capacitor which has the equivalent series resistance  $R_{e1}$  almost equal to the capacity  $C_1$  and  $R_{e0}$  almost equal to  $C_0$  is used.

[0085] In  $C_0 \geq C_{crit}$ , the output capacitor which has the equivalent series resistance  $R_{e2}$  almost equal to  $\Delta V_{out} / \Delta I_{load}$  and the capacity  $C_2$  almost equal to  $TC/R_{e0}$  is used.

[0086] 9. Determine resistance  $R_0$  according to the following formulas. In



$C_0 < C_{crit}$ , it is [0087].

[Equation 31] In  $R_0 = \Delta I_{load} / 2mC_1 + [mC_1 (Re_1)] / 2\Delta I_{load}$   $C_0 \geq C_{crit}$ , it is [0088].

[Equation 32] A voltage regulator is adjusted so that the output impedance of a voltage regulator defined before connection with the output capacitor of which  $R_0 = Re_1$ . use is done may become almost equal to the series connection of resistance  $R_0$  and an inductance  $L_0$ .  $L_0$  is given by the following formula.

[0089] In  $C_0 < C_{crit}$ , it is [0090].

[Equation 33] In  $L_0 = C_1 * Re_1 * R_0$   $C_0 \geq C_{crit}$ , it is [0091].

[Equation 34]  $L_0 = C_2 * Re_2 * R_0$  -- this step is performed by making the transfer function of the feedback circuit of a regulator correspond to a formula 4 according to the above-mentioned approach.

[0092] It comments on a time constant  $TC$  (or the configuration coefficient  $C$  and  $Re$ ) not being the amount correctly defined to each capacitor kind. All of the factor of a large number containing a manufacture allowable error, case size, temperature, and a voltage rating can affect  $TC$ . Therefore, in an actual design, it may be required to regard the parameter  $TC$  used for count as approximate value, and to repeat a design procedure a certain number of times.

[0093] Moreover, especially the approach of this invention can be shown as a procedure for the design of the buck mode switching voltage regulator which adopts current modal control. This guarantees maintaining the output voltage  $V_{out}$  within voltage deviation specification  $\Delta V_{out}$  specified to step change  $\Delta I_{load}$  of the load current, holding down the size of the output capacitor of a regulator to min. This kind of regulator has one pair of switches connected to the serial between input voltage  $V_{in}$  and touch-down, and the joint during a switch is connected to the output inductor. A switch is driven so that an inductor may be connected to  $V_{in}$  and touch-down by turns. Only in  $C > C_{crit}$ , the following design procedures can be applied and it comments on the optimal load transient response shown in drawing 6 a in that case being obtained. Moreover, by following the above-mentioned design procedure, it is possible to use the output

capacitor which has the capacity of under  $C_{crit}$ , and the buck mode regulator which adopts current mode control can also attain the optimum response shown in drawing 7 a by this. A design procedure applicable in  $C > C_{crit}$  can be carried out by the following steps.

[0094] 1. Calculate the maximum equivalent series resistance  $R_e (max)$  to the output capacitor of a regulator according to the following formulas.

[0095]

[Equation 35] According to the formula below  $R_e(max) = \Delta V_{out} / \Delta I_{load2}$ , the minimum inductance  $L_{min}$  to the output inductor of a regulator is determined.

[0096]

[Equation 36]

$L_{min} = (V_{out} T_{off} R_e (max)) / V_{ripple}$  and p-p -- here, the off time amount of the switch whose  $T_{off}$  connects an output inductor to  $V_{in}$ ,  $V_{ripple}$ , and p-p are maximum-permissible peak pair peaking capacity ripple voltages.

[0097] 3. Use the output inductor which has the inductance  $L_1$  more than  $L_{min}$ .

4. Determine the minimum capacity  $C_{min}$  of an output capacitor according to the following formulas.

[0098]

[Equation 37]  $V_{out} < (V_{in} - V_{out})$  -- a case --  $C_{min} = \Delta I_{load} / [R_e (max) (V_{out} / L_1)]$

[0099]

[Equation 38] In  $V_{out} > V_{in} - V_{out}$ , it is  $C_{min} = \Delta I_{load} / [R_e(max) ((V_{in} - V_{out}) / L_1)]$ .

5. Use the equivalent series resistance  $R_e$  almost equal to the output capacitor which has the capacity  $C$  almost equal to  $C_{min}$ , and  $R_e (max)$ .

[0100] 6. Constitute the output impedance of a regulator so that it may become almost equal to  $R_e$ . This step is performed according to the above-mentioned approach by making the transfer function of the feedback circuit of a regulator matched with a formula 4.

[0101] The specific operation gestalt of this invention is shown above, and although explained, deformation of a large number and an alternative

implementation gestalt will also be recollected by this contractor. For example, there are some which permuted the 2nd switch by one of the alternative implementation gestalten in which the back mold switching regulator was common with rectifier diode. Therefore, it shall mean that this invention is restricted only about the attached claim.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the schematic diagram of the switching voltage regulator circuitry of the conventional technique.

[Drawing 2] They are the output voltage of the voltage regulator circuitry of the conventional technique which consists of drawing 2 a and drawing 2 b, and does not contain the resistor connected between the output terminal and the output capacitor, respectively, and the plot of the load current.

[Drawing 3] They are the output voltage of the regulator circuit of the conventional technique which consists of drawing 3 a and drawing 3 b, and contains the resistor connected between the output terminal and the output capacitor, respectively, and the plot of the load current.

[Drawing 4] They are the output voltage of the voltage regulator circuitry of the conventional technique in the case of consisting of drawing 4 a and drawing 4 b, and the load current falling in the shape of a step, respectively, before output voltage answers an above load current step and stabilizes, and the plot of the load current.

[Drawing 5] It consists of drawing 5 a thru/or drawing 5 e, and drawing 5 a is the plot of the step change in the load current. Drawing 5 b It is the plot of the output current which answers step status change-ization in the load current shown in drawing 5 a, and is poured in by the voltage regulator towards the parallel connection of an output capacitor and an output load. Drawing 5 c is the plot of the output capacitor current of the voltage regulator which answered step status change-ization in the load current shown in drawing 5 a. Drawing 5 d It is the plot of the output voltage of a voltage regulator when the capacity of an output capacitor is larger than the critical capacity  $C_{crit}$ , and drawing 5 R>5e is the plot of the output voltage of a voltage regulator in case the capacity of an output capacitor is under the critical capacity  $C_{crit}$ .

[Drawing 6] They are the output voltage of the voltage regulator by this invention which consisted of drawing 6 a and drawing 6 b, and adopted the output capacitance which is more than the critical capacity  $C_{crit}$ , respectively, and the plot of the load current.

[Drawing 7] It consists of drawing 7 a and drawing 7 b, and they are the output voltage of the voltage regulator by this invention which adopted the output capacitance of under the critical capacity  $C_{crit}$ , and the plot of the load current, respectively.

[Drawing 8] They are a block/schematic diagram of 1 operation gestalt of the voltage regulator by this invention.

[Drawing 9] It is the schematic diagram of one embodiment possible in the operation gestalt of a voltage regulator shown in drawing 8 .

[Drawing 10] It consists of drawing 10 a and drawing 10 b, and is the simulation plot of the output voltage to the voltage regulator by drawing 9 , and the load

current, respectively.

[Drawing 11] It is the schematic diagram of the alternative embodiment of the electrical-potential-difference error amplifier shown in drawing 9 .

[Drawing 12] They are a block/schematic diagram of another operation gestalt of the voltage regulator by this invention.

[Drawing 13] It is the schematic diagram of one embodiment possible in the operation gestalt of a voltage regulator shown in drawing 12 .

[Description of Notations]

10 Switching Voltage Regulator

12 Push and Pull Switch

14 16 Power metal-oxide semiconductor field effect transistor

18 Driver Circuit

20 Duty Ratio Modulation Circuit

24 Clock Circuit

26 Error Signal Generating Circuit

28 High Interest Profit Operational Amplifier

30 Output Capacitor

32 Load

50 Good Control Power Stage

52 Output Node

53 Control Input

54 Load

56 Output Capacitor

58 Feedback Circuit

59 Electrical-Potential-Difference Error Amplifier

64 Current Sensor

66 Current Controller

68 Power Circuit

70 Operational Amplifier

72 74 Switch

75 Resistor  
76 Electrical-Potential-Difference Comparator  
78 Adder Circuit  
80 Power Stage  
82 Monostable Multivibrator  
83 Drive Circuit  
84 Logic Inverter  
86 High Order Driver  
88 Low Order Driver  
90 Transconductance Amplifier  
100 Good Control Power Stage  
105 High-speed Electrical-Potential-Difference Controller  
106 Current Sensor  
108 Adder Circuit  
132 Drive Circuit  
134 High Order Driver  
136 Low Order Driver  
138 High Order Switch  
140 Low Order Switch

---

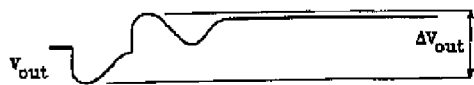
[Translation done.]

\* NOTICES \*

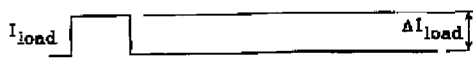
**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.



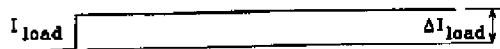


4a (従来技術)



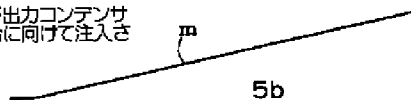
4b (従来技術)

[Drawing 5]

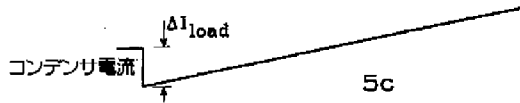


5a

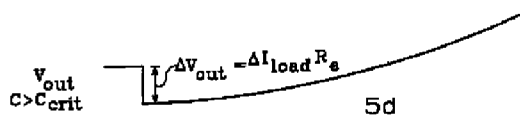
負荷および出力コンデンサ  
の並列結合に向けて注入さ  
れる電流



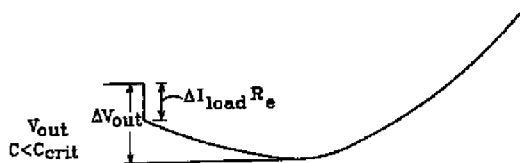
5b



5c



5d



5e

[Drawing 6]



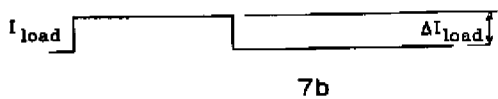
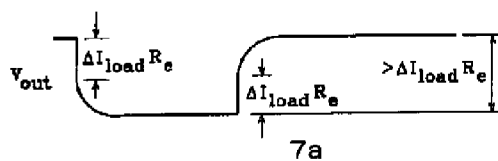
6a



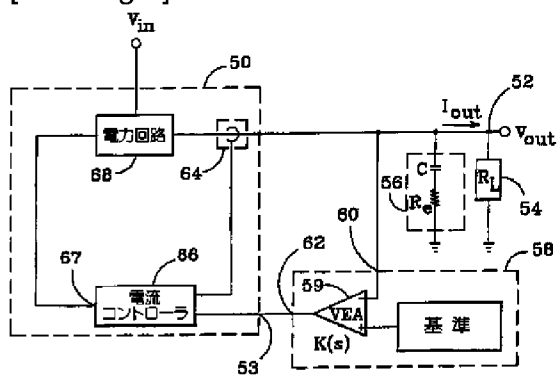
6b

[Drawing 7]

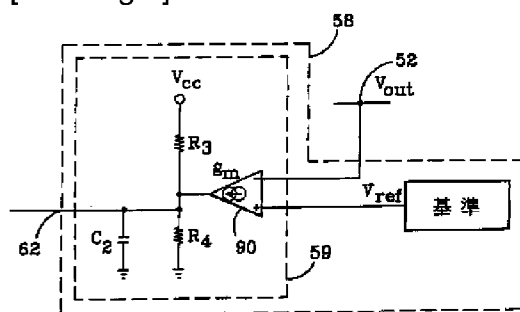




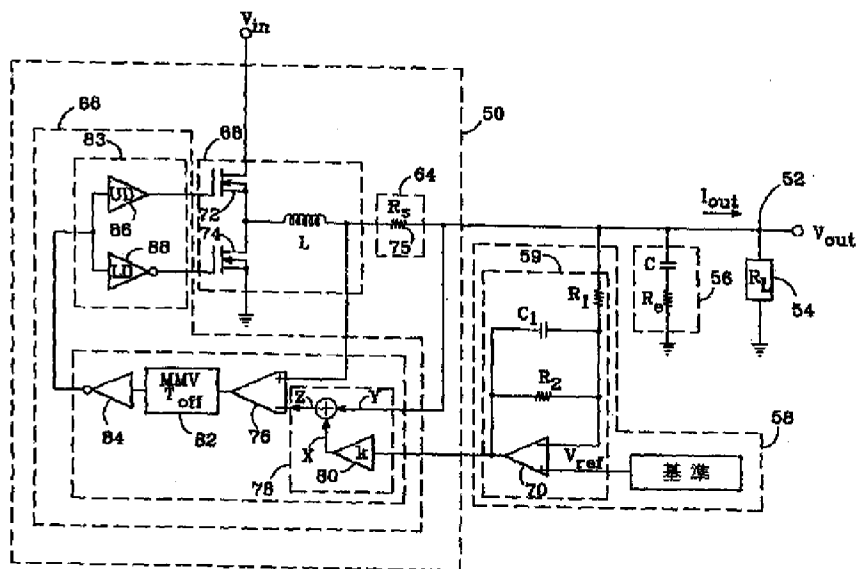
[Drawing 8]



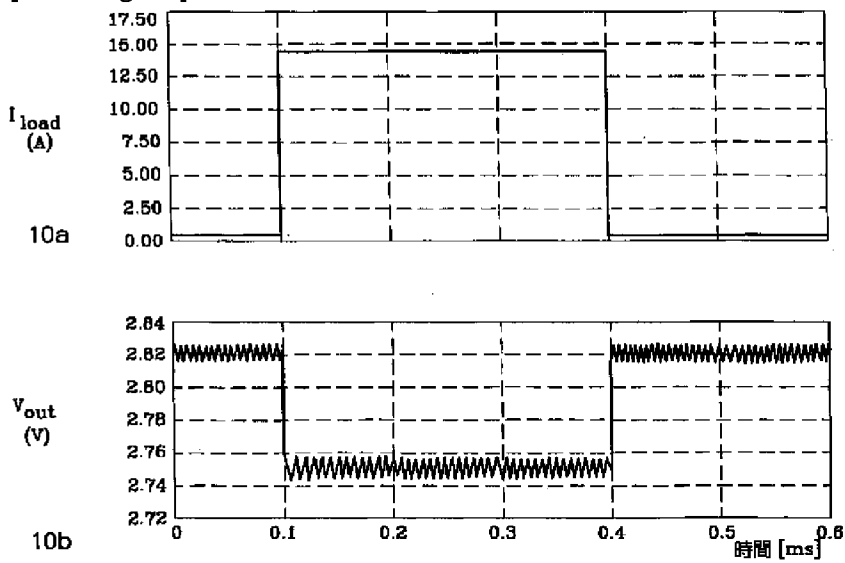
[Drawing 9]



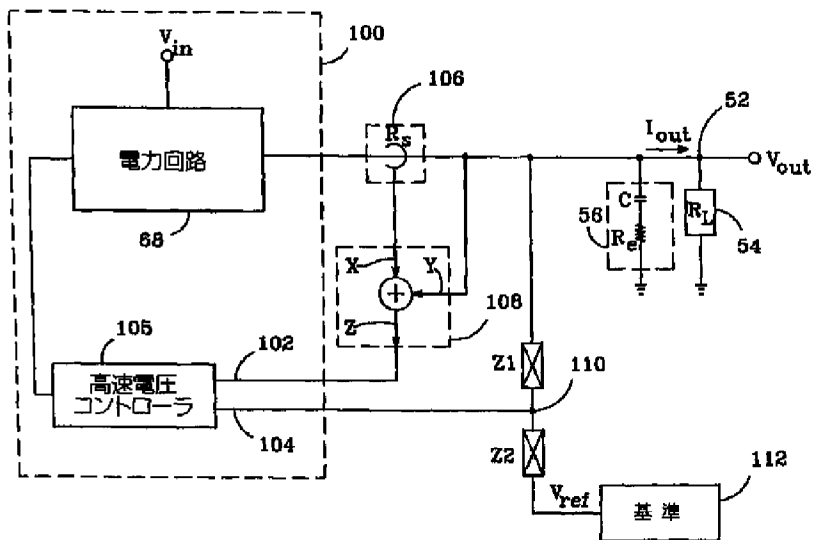
[Drawing 10]



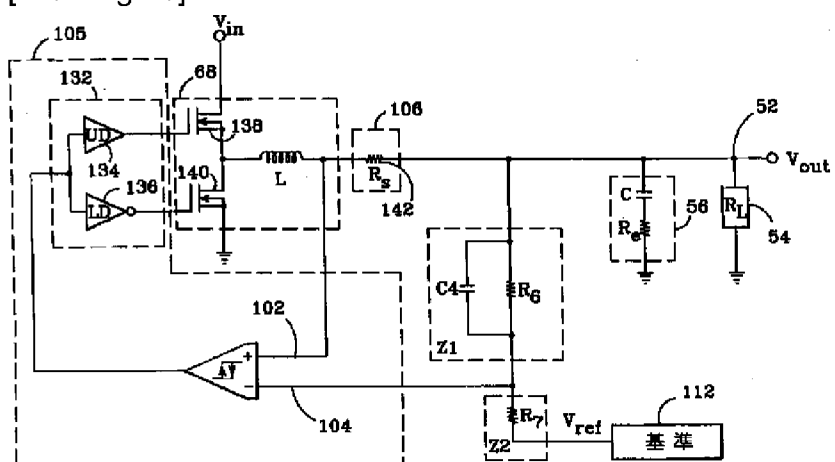
[Drawing 11]



[Drawing 12]



[Drawing 13]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-299978  
(P2000-299978A)

(43)公開日 平成12年10月24日 (2000. 10. 24)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ド\* (参考)

H 0 2 M 3/155

H 0 2 M 3/155

H

審査請求 未請求 請求項の数10 O L 外国語出願 (全 63 頁)

(21)出願番号 特願2000-35366(P2000-35366)

(22)出願日 平成12年2月14日(2000. 2. 14)

(31)優先権主張番号 0 9 / 2 4 9 2 6 6

(32)優先日 平成11年2月12日(1999. 2. 12)

(33)優先権主張国 米国 (US)

(71)出願人 591205190

アナログ デバイセス インコーポレーテ  
ッドANALOG DEVICES, INCO  
RPORATEDアメリカ合衆国 02062 マサチューセッ  
ツ州 ノーウッド ワン テクノロジー  
ウェイ (番地の表示なし)

(72)発明者 リヒャルド・レドル

スイス国セアシュ-1726 ファルヴァーニ  
ーループティ, アン・モンテヴォー

(74)代理人 100089705

弁理士 社本 一夫 (外5名)

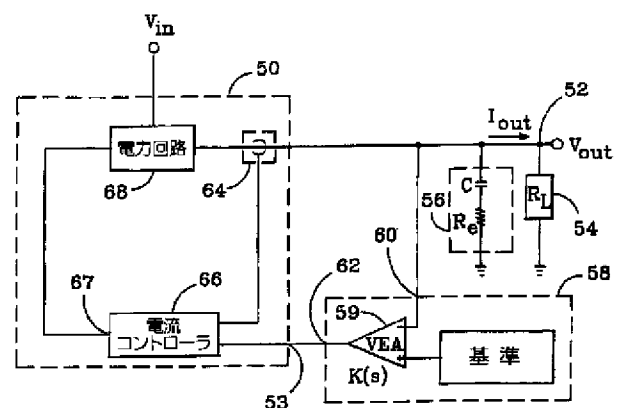
最終頁に続く

(54)【発明の名称】 電圧レギュレータの負荷過渡応答を改善し出力コンデンサ・サイズを最小化する方法および装置

(57)【要約】

【課題】 負荷電流における大きな双方向ステップ変化に対して指定された境界以内にレギュレータの出力電圧 ( $V_{out}$ ) を維持させる、可能な限り最小の出力コンデンサ (56) を使用することを電圧レギュレータに可能にする方法および回路を提供する。

【解決手段】 これを達成するに当たり、負荷電流におけるステップ変化 ( $\Delta I_{load}$ ) に対して、許容される最大値 ( $\Delta V_{out}$ ) 以下のピーク電圧偏差を確保する、可能な限り最大の等価直列抵抗 (ESR) と可能な限り低い容量との組み合わせを有する出力コンデンサを採用し、ピーク偏差の発生後平坦となる応答を確保するようにレギュレータを補償する。本発明は、スイッチングおよび線形電圧レギュレータ双方に適用可能である。



### 【特許請求の範囲】

【請求項1】 負荷電流における双方向ステップ変化に対して指定された境界以内にレギュレータの出力電圧を維持させる、可能な限り最小の出力コンデンサを使用することを電圧レギュレータに可能にする方法であって、出力コンデンサ(56)を採用し、負荷電流における双方向ステップ変化に対して指定された境界以内に規制出力電圧( $V_{out}$ )を維持することが必要な電圧レギュレータを、その出力電圧がそのピーク偏差に達した後にその応答が平坦となるように補償するステップから成り、前記補償を行うために必要な前記出力コンデンサが、前記指定された境界以内に前記レギュレータの出力電圧を維持させる、前記可能な限り最小の出力コンデンサである、ことを特徴とする方法。

【請求項2】 負荷電流における双方向ステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に電圧レギュレータの出力電圧を維持させる、前記レギュレータの出力コンデンサのサイズを最小化する方法であって、

出力ノード(52)において負荷( $R_L$ )に出力電圧( $\Delta V_{out}$ )を供給する電圧レギュレータが採用する出力コンデンサ(56)の最大等価直列抵抗 $R_{e(max)}$ を計算するステップであって、前記出力コンデンサを前記負荷間に並列に接続し、前記レギュレータが、負荷電流における双方向ステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に電圧レギュレータの出力電圧を維持する必要がある、 $R_{e(max)}$ を $R_{e(max)} = \Delta V_{out} / \Delta I_{load}$ にしたがって計算するステップと、

$\Delta I_{load}$ に等しい負荷電流におけるステップ増加に対して、前記出力負荷および出力コンデンサの並列結合に向けて、前記電圧レギュレータが注入する電流の最大可用勾配の絶対値、および $\Delta I_{load}$ に等しい負荷電流におけるステップ減少に対して、前記出力負荷および出力コンデンサの並列結合に向けて注入する電流の最小可用勾配の絶対値を決定するステップと、

前記絶対値の内小さい方を判定し、該絶対値の小さい方を値 $m$ とするステップと、

$C_{crit} = \Delta I_{load} / m R_{e(max)}$ にしたがって、クリティカル容量 $C_{crit}$ を決定するステップと、

$R_{e(max)}$ より多少小さいかあるいはこれに等しい等価直列抵抗 $R_e$ 、および $C_{crit}$ 以上の容量を有する出力コンデンサを、前記負荷間に接続するために選択するステップと、

前記電圧レギュレータの出力インピーダンスを $R_e$ にほぼ等しくなるように構成するステップと、から成ることを特徴とする方法。

【請求項3】 請求項2記載の方法において、前記電圧レギュレータが、制御入力(53)において受け取る信号に応答して前記レギュレータの出力電圧を供給する可制御電力段(50)と、前記出力ノードおよび前記制御

入力間に接続された電圧誤差増幅器(59)とを含み、前記電力段がトランスコンダクタンス $g$ によって特徴付けられ、前記出力インピーダンスを $R_e$ にほぼ等しくなるように調整するステップを実行する際に、前記電圧誤差増幅器の利得 $K(s)$ を、

### 【数1】

$K(s) = (-1/g R_e) (1/(1+s R_e C))$ に等しくし、ここで、 $C$ および $R_e$ は、前記採用した出力コンデンサの容量および等価直列抵抗である、ことを特徴とする方法。

【請求項4】 負荷電流における双方向ステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内にバック型スイッチング電圧レギュレータの出力電圧 $V_{out}$ を維持することを可能にする、前記レギュレータの出力コンデンサのサイズを最小化する方法であって、入力電圧 $V_{in}$ を受け取り、出力インダクタ( $L$ )を介して出力ノード(52)に接続された負荷( $R_L$ )に出力電圧( $\Delta V_{out}$ )を供給する電流制御型スイッチング電圧レギュレータが採用する出力コンデンサ(56)の最大等価直列抵抗 $R_{e(max)}$ を計算するステップであって、前記インダクタを第1および第2スイッチ(72, 74)によって $V_{in}$ および接地に交互に接続し、前記出力コンデンサが前記負荷間に並列に接続され、前記レギュレータが、負荷電流における双方向ステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に $V_{out}$ を維持する必要がある、 $R_{e(max)}$ を

【数2】  $R_{e(max)} = \Delta V_{out} / \Delta I_{load}$ にしたがって計算するステップと、

【数3】  $L_{min} = V_{out} T_{off} R_{e(max)} / V_{ripple,p-p}$ にしたがって前記出力インダクタに対する最小インダクタンス $L_{min}$ を決定するステップであって、ここで、 $T_{off}$ は前記第1スイッチのオフ時間、 $V_{ripple,p-p}$ は最大許容ピーク対ピーク出力リップル電圧である、ステップと、

前記レギュレータにおいて使用するために、 $L_{min}$ 以上のインダクタンス $L1$ を有する出力インダクタを選択するステップと、

$V_{out} < (V_{in} - V_{out})$ の場合、

### 【数4】

$C_{min} = \Delta I_{load} / [R_{e(max)} (V_{out} / L1)]$ にしたがい、

$V_{out} > V_{in} - V_{out}$ の場合、

【数5】  $C_{min} = \Delta I_{load} / [R_{e(max)} ((V_{in} - V_{out}) / L1)]$

にしたがって、前記出力コンデンサの最小容量 $C_{min}$ を決定するステップと、

$C_{min}$ にほぼ等しい容量 $C$ を有する出力コンデンサ、および $R_{e(max)}$ にほぼ等しい等価直列抵抗 $R_e$ を有する出力コンデンサを、前記負荷間に接続するために選択するステップと、

前記レギュレータの出力インピーダンスを $R_o$ にほぼ等しくなるように構成するステップと、から成ることを特徴とする方法。

【請求項5】 負荷電流における双方向ステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に出力電圧を維持する電圧レギュレータであって、トランスコンダクタンス $g$ によって特徴付けられ、制御入力(53)において受け取る信号に従って出力ノード(52)に出力電圧 $V_{out}$ を生成するように接続され、前記出力ノードが負荷( $R_L$ )に接続されている、可制御電力段(50)と、前記出力ノードに接続され、および前記負荷間に並列に接続された出力コンデンサ(56)であって、等価直列抵抗 $R_e$ を有する、出力コンデンサと、前記出力ノードと前記制御入力との間に接続された電圧誤差増幅器(59)とを備え、前記可制御電力段、前記出力コンデンサおよび前記増幅器が、負荷電流におけるステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に、前記出力ノードにおける電圧を維持する必要がある電圧レギュレータを形成し、前記出力コンデンサが、クリティカル容量 $C_{crit}$ 以上の容量を有し、該クリティカル容量 $C_{crit}$ を、

【数6】  $C_{crit} = \Delta I_{load} / m R_o$   
にしたがって決定し、ここで、 $m$ は、1)  $\Delta I_{load}$ に等しい負荷電流におけるステップ増加に対して、前記出力負荷および出力コンデンサの並列結合に向けて、前記電圧レギュレータが注入する電流の最大可用勾配の絶対値、および2)  $I_{load}$ に等しい負荷電流におけるステップ減少に対して、前記出力負荷および出力コンデンサの並列結合に向けて、前記電圧レギュレータが注入する電流の最小可用勾配の絶対値の内小さい方に等しく、前記電圧レギュレータが、 $R_o$ にほぼ等しい出力インピーダンスを有するように構成されている、ことを特徴とする電圧レギュレータ。

【請求項6】 請求項5記載の電圧レギュレータにおいて、前記電圧誤差増幅器の利得 $K(s)$ が、

【数7】  
 $K(s) = (-1/gR_o)(1/1+sR_eC)$   
によって与えられ、ここで、 $g$ は前記可制御電力段のトランスコンダクタンスに等しく、 $R_o$ および $C$ は、それぞれ、前記出力コンデンサの等価直列抵抗および容量に等しい、ことを特徴とする方法。

【請求項7】 請求項5記載の電圧レギュレータにおいて、前記出力コンデンサが、 $C_{crit}$ にほぼ等しい容量、および $\Delta V_{out} / \Delta I_{load}$ にほぼ等しい等価直列抵抗 $R_e$ を有し、前記コンデンサは、電圧レギュレータが負荷電流におけるステップ変化 $\Delta I_{load}$ に対してその出力電圧を $\Delta V_{out}$ 以内に維持することを可能にする、可能な限り最小の出力コンデンサであることを特徴とする電圧レギュレータ。

【請求項8】 負荷電流におけるステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に規制出力電圧を維持する電圧レギュレータであって、第1制御入力(102)および第2制御入力(104)間の電圧差に応じて、出力ノード(52)において負荷( $R_L$ )に出力電圧( $V_{out}$ )を供給する可制御電力段(100)と、前記出力ノード、および前記負荷間に並列に接続された出力コンデンサ(56)と、前記出力ノードおよび第1ノード(110)間に接続されたインピーダンス $Z1$ と、前記第1ノードおよび基準電圧( $V_{ref}$ )間に接続されたインピーダンス $Z2$ と、トランスレジスタンス $R_s$ を有し、前記負荷に送出される出力電流( $I_{out}$ )と共に変動する出力電圧( $V_{out}$ )を生成する電流センサ(106)と、前記センサ出力電圧と前記出力ノードにおける電圧との和に等しい出力電圧を生成する加算回路(108)とを備え、前記電流センサ出力電圧および前記加算回路出力電圧が、それぞれ、前記第1および第2制御入力に接続され、前記可制御電力段、前記出力コンデンサ、前記インピーダンス、前記電流センサ、および前記加算回路が、負荷電流におけるステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に、前記出力ノードにおける電圧を維持する必要がある電圧レギュレータを形成し、前記レギュレータが、インピーダンス $Z1$ および $Z2$ の比が、

【数8】  
 $Z1/Z2 = [(R_o(1+sR_eC) - R_s) / R_s]$   
に等しくなるように構成され、ここで、 $R_o$ および $C$ は、それぞれ、前記出力コンデンサの等価直列抵抗および容量に等しく、 $R_o$ は、 $C$ が $\Delta I_{load} / m R_o$ 以上の場合、 $R_o$ に等しく、あるいは、 $C$ が $\Delta I_{load} / m R_o$ 未満の場合、 $\Delta I_{load} / 2mC + [mC(R_o)] / 2\Delta I_{load}$ に等しく、 $m$ は、1)  $\Delta I_{load}$ に等しい負荷電流におけるステップ増加に対して、前記出力負荷および出力コンデンサの並列結合に向けて、前記電圧レギュレータが注入する電流の最大可用勾配の絶対値、および2)  $\Delta I_{load}$ に等しい負荷電流におけるステップ減少に対して、前記出力負荷および出力コンデンサの並列結合に向けて、前記電圧レギュレータが注入する電流の最小可用勾配の絶対値の内小さい方に等しい、ことを特徴とする電圧レギュレータ。

【請求項9】 請求項8記載の電圧レギュレータにおいて、前記インピーダンス $Z1$ が、並列に接続された抵抗器 $R1$ およびコンデンサ $C1$ によって実現され、インピーダンス $Z2$ が抵抗 $R2$ によって実現され、前記抵抗 $R1$ および $R2$ ならびにコンデンサ $C1$ が、前記電圧レギュレータの出力インピーダンスが $R_o$ に等しくなるよう

に構成され、これによって、

$$\text{【数9】 } R_2 / R_1 = (R_0 - R_S) / R_S$$

および

$$\text{【数10】 } C_1 * R_1 = C [(R_0 R_S) / R_S]$$

であることを特徴とする電圧レギュレータ。

【請求項10】請求項8記載の電圧レギュレータにおいて、前記電流センサおよび加算回路が、第2ノードにおける前記可制御出力段と前記出力ノードとの間に接続された抵抗 $R_S$ を有する抵抗器を備え、前記第2ノードにおける電圧が前記加算回路の出力電圧であることを特徴とする電圧レギュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧レギュレータの分野に関し、更に特定すれば負荷の過渡状態に対する電圧レギュレータの応答を改善する方法に関するものである。

【0002】

【従来の技術】電圧レギュレータの目的は、未調整の入力電圧が給電され、変動する負荷電流の要求を満たさなければならない場合であっても、負荷にほぼ一定の出力電圧を供給することである。

【0003】用途によっては、負荷電流のステップ状変化、即ち、負荷によって要求される負荷電流の突然の大幅な増大または減少に対して、ほぼ一定の出力電圧を維持するためにレギュレータが必要となる。例えば、マイクロプロセッサが「電力節約モード」を有する場合があり、この場合使用されていない回路部分をオフにして電流消費をほぼゼロに低下させ、必要とされる場合にこれらの部分をオンとし、その際通常数百ナノ秒以内で負荷電流を高い値に上昇させなければならない。

【0004】負荷電流に変化があると、レギュレータの出力電圧に何らかの偏差が生ずることは実際上不可避である。この偏差の大きさは、出力コンデンサの容量および等価直列抵抗(ESR)双方に関係する。即ち、容量が小さい程またはESRが大きい程、偏差は大きくなる。例えば、スイッチング電圧レギュレータ(出力インダクタを介して出力電流を送出し、負荷間に並列に接続された出力コンデンサを含む)では、負荷電流の変化( $\Delta I_{load}$ )は、1)負荷に送出される電流が瞬時的に $I_{load}$ だけ増大する、または2)出力コンデンサの容量が非常に大きく、更にそのESRが非常に小さいため出力電圧の偏差が無視し得る程度であるのでなければ、レギュレータの出力電圧が変化する結果となる。最初の選択肢は不可能である。何故なら、出力インダクタ内の電流は瞬時に変化することができないからである。負荷電流の変化に対処するために必要な時間は、出力インダクタのインダクタンスを小さくすることによって短縮することができるが、このためには結局レギュレータのスイッチング周波数の上昇が必要となり、スイッチング・ト

ランジスタの有限なスイッチング速度およびトランジスタの駆動回路における消散によって制限される。2番目の選択肢は可能であるが、非常に大きな出力コンデンサが必要となり、プリント回路ボード上に占める空間が余りに大きすぎるか、コストがかかり過ぎるか、あるいはこの双方となる可能性が高い。

【0005】レギュレータの出力電圧を、狭い負荷過渡応答仕様、即ち、負荷電流の双方向のステップ変化に対して許容可能な出力電圧の偏差を狭く制限する仕様を満たさなければならない用途では、この不可避な偏差が容認できない程大きくなる可能性がある。ここで用いる場合、「 $\Delta V_{out}$ 」は、レギュレータの出力電圧偏差仕様を意味すると共に、グラフに示すピーク対ピーク出力電圧偏差を意味するものとする。負荷過渡応答を改善するための最も明白な解決策は、出力容量の増大および/または出力コンデンサのESRの減少である。しかしながら、先に記したように、出力コンデンサが大きくなる程(容量が大きくなり、ESRが小さくなる)、必要な体積(volume)が大きくなり、PCボード面積を広くしなければならないため、コスト上昇を招く。

【0006】負荷過渡応答を改善する手法の1つを、図1に示す。スイッチング電圧レギュレータ10は、電源電圧 $V_{in}$ と接地との間に接続されたプッシュ・プル・スイッチ12を含む。これは、通常、2つの同期的に切り替えられるパワーMOSFET14および16によって実現する。ドライバ回路18が接続され、MOSFET14および16の一方または他方を交互に切り替える。デューティ比変調回路20が駆動回路を制御する。回路20は、クロック回路24から受ける鋸波クロック信号および誤差信号発生回路26から受ける誤差電圧を比較する電圧比較器22を含む。通常、回路26は、高利得演算増幅器28を含み、一方の入力において基準電圧 $V_{ref}$ 、および第2入力において出力電圧 $V_{out}$ の電圧表現を受け、 $V_{out}$ と所望の出力電圧との差と共に変動する誤差電圧を生成する。また、レギュレータは、MOSFET14および16の間の接合点に接続された出力インダクタL、等価直列抵抗 $R_S$ と直列な容量Cとして表現して示されている出力コンデンサ30、ならびに出力インダクタおよび出力コンデンサ間に接続された抵抗器 $R_S$ も含む。 $V_{out}$ が接続され、負荷32を駆動する。

【0007】動作において、MOSFET14および16は、インダクタLを $V_{in}$ および接地に交互に接続するように駆動され、デューティ比は、デューティ比変調回路20によって決定される。デューティ比は、誤差増幅器28が生成する誤差電圧に応じて変動する。インダクタLの電流は、出力コンデンサ30および負荷32の並列結合に流れ込む。コンデンサ30のインピーダンスは、スイッチング周波数では、負荷32のそれよりも遥かに小さいので、コンデンサはインダクタ電流のAC成分の殆どを迂回して除去し、事実上直流の全てが負荷3

2に送出される。

【0008】直列抵抗器 $R_S$ がないと、回路26にフィードバックされる電圧は $V_{out}$ に等しくなり、レギュレータの負荷電流におけるステップ変化に対する応答は、典型的なスイッチング・レギュレータのそれとなる。図2bに示す負荷電流 $I_{load}$ のステップ変化に対するレギュレータの出力電圧 $V_{out}$ を図2aに示す。 $L$ の電流は瞬時に変化することができないので、 $I_{load}$ が突然変化すると、 $V_{out}$ がスパイク状に低下し、最終的に制御ループが $V_{out}$ を公称出力電圧 $V_{nom}$ に引き戻す。同様に、 $I_{load}$ がその後ステップ状に低下した場合、 $V_{out}$ はスパイク状に上昇し、その後 $V_{nom}$ に戻る。負荷電流のステップ変化に対する出力電圧 $\Delta V_{out}$ における全偏差は、2つの電圧スパイクのピーク間の差によって決定される。レギュレータが狭い負荷過渡応答仕様に拘束されている場合、この偏差は許される許容範囲を超過する可能性がある。

【0009】抵抗 $R_S$ をインダクタ $L$ と直列に接続することによって（出力端子34において）、 $\Delta V_{out}$ を減少させることができる。図3bに示す負荷電流のステップ変化に対して、 $R_S$ を含む場合に可能な応答の1つを図3aに示す。 $R_S$ が適所に含まれる場合、制御ループはもはや $V_{out}$ を $V_{nom}$ に復元させるのではなく、むしろ $V_{out}$ は、端子34における電圧から $\Delta I_{load}$ および $R_S$ の積を減じた値によって与えられる電圧に復元する。即ち、軽い負荷に対する $V_{out}$ の定常状態値は、重い負荷に対する場合よりも、 $\Delta I_{load} * R_S$ だけ高くなる。 $R_S$ を出力コンデンサのESRにほぼ等しくすることによって、 $R_S$ を使用しない場合に得られるよりも、いくらか狭い $\Delta V_{out}$ を得ることができる。

【0010】図1の回路の欠点について、その1つを図4aおよび図4bに示す。この場合、負荷電流（図4b）は、 $V_{out}$ （図4a）が定常状態値に静定する前に、再びステップ状に低下する。 $I_{load}$ が低下する時点において $V_{out}$ が図3aにおけるよりも高いと、上向きの $V_{out}$ スパイクのピークも高くなり、全体的な偏差 $\Delta V_{out}$ は、それ以外の場合よりも大きくなる。このように偏差が大きくなるのは、特に狭い出力電圧偏差仕様を満たすためには、レギュレータ10はより大きな出力コンデンサを使用しなければならず、そのESRは比例的に小さくなることを意味する。コンデンサのコストは、近似的にそのESRに反比例するので、この仕様を満たすのは過度に費用がかかる可能性がある。

【0011】図1の回路の別の欠点は、直列抵抗器 $R_S$ にかなりの電力消費が必要となることである。例えば、 $R_S$ を5m $\Omega$ 、最大負荷電流を14.6Aと仮定すると、 $R_S$ における消費は1.07Wとなる。

【0012】レギュレータの負荷過渡応答を改善するに当たり、異なる制御原理を用いた手法が、D. Gode r (D. ゴード) および W. R. Pelletier

(W. R. ペレチア) の“V<sup>2</sup> Architecture Provides Ultra-Fast Transient Response in Switch Mode Power Supplies” (V<sup>2</sup> アーキテクチャはスイッチ・モード電源において超高速過渡応答をもたらす)、HFPC Power Conversion、1996年9月、Proceedings、19-23ページに開示されている。この中に記載されているレギュレータは、プッシュ・プル・スイッチ、ドライバ回路、誤差増幅器、ならびに図1に示したのと同様の出力インダクタおよびコンデンサを含む。レギュレータの出力電圧を表わす信号が、誤差増幅器および電圧比較器双方に供給される。電圧比較器は、誤差増幅器の出力も受け取る。レギュレータの出力電圧が誤差増幅器の出力を超過した場合、比較器の出力は高に移行し、単安定マルチバイブレータをトリガし、所定の時間間隔にわたって上側のスイッチング・トランジスタをオフにする。

【0013】この回路の過渡応答は、図1の回路のそれよりも高速となるように設計されている。負荷電流のステップは、比較器における電圧を直ちに变化させ、鈍い誤差増幅器を迂回し、これによって応答時間を短縮する。しかしながら、応答時間が短くなっても、応答トレースの形状は依然として図3aに示すものと類似しており、 $\Delta V_{out}$ の大きさには殆どなんの改善もない。

【0014】別のスイッチング・レギュレータが、L. Spaziani (L. スパッチアーニ) の“Fueling the Megaprocessor? a DC/DC Converter Design Review Featuring the UC3886 and UC3910” (メガプロセッサの給電? UC3886およびUC3910を特徴とするDC/D C変換器設計の検討)、Unitrode Application Note U-157、3-541ないし3-570ページに記載されている。このレギュレータは、出力インダクタにおける電流の平均値を制御することによって調整を行う、「平均電流制御」として知られている制御原理を採用している。レギュレータの出力インダクタと直列に抵抗器を接続し、この抵抗器間に電流検知増幅器 (CSE: current sense amplifier) を接続してインダクタ電流を検知する。CSEの出力は、電圧誤差増幅器の出力と共に、電圧誤差増幅器に供給される。電圧誤差増幅器は、レギュレータの出力電圧を基準電圧と比較する。比較器は、一方の入力において電圧誤差増幅器の出力、他方の入力において鋸波クロック信号を受け取る。比較器は、パルス幅変調出力を生成し、ドライバ回路を介してプッシュ・プル・スイッチを駆動する。

【0015】動作において、負荷電流の増大により、出力電圧が減少し、電圧誤差増幅器からの誤差信号が増大



する。このために、電流誤差増幅器からの出力が増大し、そのため比較器が生成するパルスのデューティ比が大きくなる。すると、出力インダクタ内の電流が増大し、出力電圧を押し上げる。電圧誤差増幅器は、非積分利得を与えるように構成されており、これが、平均電流制御との組み合わせで、レギュレータに、有限で制御可能な出力抵抗を与える。これにより、出力電圧の位置付けは、直列抵抗器 $R_e$ が図1の回路の応答に影響を与える態様と同様となる。しかしながら、参考文献の図32に明確に示されているように、得られる応答はこの場合も図3aのそれに類似しており、依然として $\Delta V_{out}$ が狭い出力電圧偏差仕様を超過する可能性がある。

【0016】

【発明が解決しようとする課題】先に記した問題を克服し、可能な限り最少の出力コンデンサを使用しつつ電圧レギュレータが大きな双方向負荷過渡状態に対して最適な応答を得ることができる方法および回路を提供する。

【0017】

【課題を解決するための手段】本発明は、出力コンデンサのサイズおよびコストを最小に抑えることが好ましく、その出力電圧を、負荷電流の大きな双方向ステップ変化に対して指定された境界以内に維持しなければならない電圧レギュレータと共に用いることを意図するものである。これらの目標を達成するに当たり、負荷電流における双方向ステップ変化に対するピーク対ピーク電圧偏差が許容最大値以下であることを補償する、可能な限り最大の等価直列抵抗(E SR)と可能な限り最低の容量との組み合わせを有する出力コンデンサを採用し、ここでは「最低応答」と呼ぶ、ピーク偏差の発生後に平坦となる応答を確保するように、レギュレータを補償する。これらの条件を満たすと、レギュレータの出力コンデンサは、負荷電流における双方向ステップ変化に対して指定された境界以内に、出力電圧を留まらせることを可能にする、可能な限り最小のコンデンサとなる。本発明は、スイッチングおよび線形電圧レギュレータ双方に適用可能である。

【0018】本発明の更に別の特徴および利点は、添付図面と共に以下の詳細な説明を参照することにより、当業者には明白となろう。

【0019】

【発明の実施の形態】本発明は、負荷電流に大きな双方向ステップ変化を必要とする用途において、電圧レギュレータの出力に使用可能な、可能な限り最小のコンデンサを決定する手段を提供する。これにより、レギュレータの出力電圧は、所与のステップ・サイズに対して指定される境界以内に維持することが可能となる。ここでは、負荷電流における所与のステップ変化を $\Delta I_{load}$ として識別し、許容可能な出力電圧偏差仕様を $\Delta V_{out}$ として識別する。ここで用いる場合、「可能な限り最小の

出力コンデンサ」とは、レギュレータが $\Delta V_{out}$ 仕様を満たすことを可能にする、可能な限り最小の容量値および許され得る最大のE SR値を有する出力コンデンサのことを意味するものとする。コンデンサのコストは、そのE SRに反比例し、その容量に直接比例する傾向があるので、そして空間は殆ど常に回路ボード上では貴重であるので、本発明は、出力コンデンサのコストおよび空間要件を最小化することを可能にするものである。

【0020】本発明は、適正に構成された電圧レギュレータを用いれば、レギュレータが所与の $\Delta V_{out}$ 仕様を満たすことを可能にする、可能な限り最小の出力コンデンサがあるという現実を利用するものである。出力コンデンサの等価直列インダクタンスの効果を無視すると、負荷電流のステップ変化 $\Delta I_{load}$ は、電圧レギュレータの出力電圧に初期変化を発生させる。これは、コンデンサのE SR(ここでは $R_e$ として識別する)および $\Delta I_{load}$ の積、即ち、 $R_e * \Delta I_{load}$ に等しい。この初期変化は、上方向および下方向双方の負荷電流ステップに生じる。出力コンデンサの容量Cがある「クリティカル(critical)」値 $C_{crit}$ (以下で詳しく論ずる)以上である場合、出力電圧偏差は初期の $R_e * \Delta I_{load}$ 変化を超過することができない。Cが $C_{crit}$ 未満である場合、出力電圧偏差は、初期の $R_e * \Delta I_{load}$ が変化した後その後復元し始める前に増加し続ける。

【0021】従来技術のレギュレータは、通常、負荷の過渡状態発生後に、出力電圧を公称値に向かって再度駆動するように設計されている。しかしながら、このようにすると、全体的な出力電圧偏差 $\Delta V_{out}$ が、 $R_e * \Delta I_{load}$ の2倍にまで達する可能性がある。負荷電流がステップ状に上昇すると、 $V_{out}$ は公称電圧から $R_e * \Delta I_{load}$ だけ低下する。負荷電流が十分長く高に留まっている場合、レギュレータは $V_{out}$ を再度公称電圧に駆動する。ここで、負荷電流が再度ステップ状に低下すると、 $V_{out}$ は $R_e * \Delta I_{load}$ だけスパイク状に上昇し、その結果全出力電圧偏差は $2(R_e * \Delta I_{load})$ となる。

【0022】従来技術のレギュレータの $\Delta V_{out}$ の大きさに対する制御方法に内在する欠点を認識してわかったのは、最適負荷過渡応答?即ち、最小の出力電圧偏差 $\Delta V_{out}$ を生成する応答は、下向きの負荷電流ステップの後上側の電圧偏差境界にて一定に留まり、上向きの負荷電流ステップの後下側の電圧偏差境界にて一定に留まる応答であるということであった。本発明は、レギュレータの負荷過渡応答がこの理論的最適値またはその近傍となるようにレギュレータを構成する方法を提供する。また、この応答を達成するために必要な出力コンデンサは、 $\Delta V_{out}$ の仕様を満たすために用いることができる、可能な限り最小のコンデンサであることがわかった。

【0023】最適な応答を得るという目標を達成し、これによって、満たすべき所与の $\Delta V_{out}$ 仕様を可能にす

る可能な限り最小のコンデンサを特定するためには、多数のステップを実行しなければならない。最初に、負荷電流の双方向ステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差指定 $\Delta V_{out}$ の制約を受ける電圧レギュレータが採用する出力コンデンサに対し、最大等価直列抵抗 $R_{e(max)}$ を決定する。オームの法則によれば、 $R_{e(max)}$ は、 $R_{e(max)} = \Delta V_{out} / \Delta I_{load}$ で与えられる。出力コンデンサの $R_e$ が $R_{e(max)}$ よりも少しでも大きい場合、 $\Delta I_{load}$ に等しい負荷電流のステップ変化に対する $V_{out}$ の初期偏差は、必ず $\Delta V_{out}$ を超過する。

【0024】次のステップは、前述の「クリティカル」容量値 $C_{crit}$ を決定することである。クリティカル容量とは、電圧レギュレータによって駆動される負荷間に並列に（レギュレータの出力コンデンサとして）接続した

$$C_{crit} = \Delta I_{load} / m R_{e(max)}$$

ここで、 $\Delta I_{load}$ は最大予想負荷電流ステップ、 $R_{e(max)}$ は最大許容出力コンデンサESR（先に計算した）、そして $m$ は出力コンデンサおよび出力負荷の並列結合に向けて注入された電流に関連する勾配値であり、 $m$ およびその値を決定する方法については以下で論ずる。

【0027】傾斜パラメータ $m$ を図5aないし図5cに示す。図5aは、上方向ステップに対する負荷電流波形を示す。図5bは、レギュレータが最大可用勾配 $m$ において出力電流を生成したときの出力容量および出力負荷の並列結合に向けてレギュレータが注入した電流を示す。図5cは、出力コンデンサにおける電流を示し、この電流は負荷電流と注入電流との差に等しい。

【0028】図5dおよび図5eは、レギュレータの容量が $C_{crit}$ よりも大きいとき（図5d）および $C_{crit}$ よりも小さいとき（図5e）に、レギュレータの出力コンデンサのサイズが、どのように $V_{out}$ に影響を与え、レギュレータはコンデンサおよび負荷の並列結合に向けて最大可用勾配で電流を注入するのかについて示す。 $C > C_{crit}$ の場合、 $V_{out}$ は、初期 $\Delta I_{load} R_e$ 変化の発生直後に復元し始める。しかしながら、 $C < C_{crit}$ の場合、出力電圧の偏差は、初期 $\Delta I_{load} R_e$ 変化後も増加し続け、その後最終的に復元する。

【0029】所与のレギュレータに対する勾配値 $m$ は、その構成によって左右される。一般的に、 $m$ は次のようにして確定する。

1)  $\Delta I_{load}$ に等しい負荷電流のステップ増加に対して、出力負荷および出力コンデンサの並列結合に向けて電圧レギュレータが注入する電流の最大可用勾配の絶対値を決定する。

2)  $\Delta I_{load}$ に等しい負荷電流のステップ減少に対して、出力負荷および出力コンデンサの並列結合に向けて注入される電流の最小可用勾配の絶対値を決定する。負荷電流におけるステップ状減少の結果、注入電流は負の勾配を有することになる。このステップに対して、次

ときに、負荷および出力コンデンサの並列結合に向かってレギュレータによって注入される電流が、レギュレータの物理的制限によって許される最大の勾配で傾斜状に上昇（または下降）する際に、出力電圧の勾配をゼロにする、即ち、初期の $R_e * \Delta I_{load}$ 変化後に平坦にさせる容量の量のことである。レギュレータの物理的制限によって許される最大の勾配のことを、ここでは「最大可用勾配 (maximum available slope)」と呼ぶことにする。

【0025】クリティカル容量 $C_{crit}$ は次の式で与えられる。

【0026】

【数11】

(式2)

に、「負荷電流におけるステップ状減少に対する... 最大可用勾配」は最大の負の勾配に等しくなる。

3) 2つの絶対値の内どちらの方が小さいのかについて判定を行う。これは、「最悪事態」の最大可用勾配である。2つの絶対値の内小さい方が値 $m$ となり、ここで求めた式において用いられる。

【0030】スイッチング・レギュレータでは、最悪事態の最大可用勾配 $m$ は、明らかに、その入力電圧 $V_{in}$ 、その出力電圧 $V_{out}$ 、およびその出力インダクタのインダクタンス $L$ によって定義される。例えば、バック型電圧レギュレータ (buck type voltage regulator) では、 $m$ は、以下のように決めることができる。 $V_{out}$ が $V_{in} - V_{out}$ 未満である場合、 $m$ は $m = V_{out} / L$ で与えられる。 $V_{out}$ が $V_{in} - V_{out}$ よりも大きい場合、 $m$ は $m = (V_{in} - V_{out}) / L$ で与えられる。

【0031】線形電圧レギュレータでは、最悪事態最大可用勾配は、そう明確には定義されない。これは、その電圧誤差増幅器の補償、その半導体デバイスの物理的特性、および可能性として負荷電流の値も含む、多数の要因に依存する。

【0032】本発明によって達成可能な2つの最適な負荷過渡応答を図6および図7に示す。図6aは、出力コンデンサの容量 $C$ が $C_{crit}$ 以上の場合に、適正に構成されたレギュレータについて、図6bに示す負荷電流における双方向ステップに対する最適な負荷過渡応答を示す。 $C$ は $C_{crit}$ 以上であるので、最大出力電圧偏差は $R_e * \Delta I_{load}$ に制限される。図7aは、適正に構成されたレギュレータの出力コンデンサの容量が $C_{crit}$ 未満の場合に、図7bの負荷電流における双方向ステップ変化 $\Delta I_{load}$ に対する最適負荷過渡応答を示す。コンデンサの $R_e$ によって生ずる初期ステップ ( $= R_e * \Delta I_{load}$ ) の後、 $V_{out}$ は徐々に定常状態値に向かって傾斜し、次いで、負荷電流がステップ状に低下して元に戻るまで、定常状態値において一定に留まる。この場合のピーク電

圧偏差 $\Delta V_{out}$ は、次の式で与えられることを示すことができる。

$$\Delta V_{out} = \Delta I_{load}^2 / 2mC + mCR_e^2 / 2 \quad (\text{式2})$$

ここで、 $m$ および $\Delta I_{load}$ は、式1における同一であり、 $C$ および $R_e$ は、それぞれ、用いる出力コンデンサの容量およびESRである。本発明は、 $C_{crit}$ 未満の容量を有するコンデンサを用いなければならない場合であっても、なお式2によって与えられるピーク電圧偏差を超過しないことを保証する方法を提供する。したがって、ここで用いる場合、 $C_{crit}$ よりも大きな容量の出力コンデンサを有するレギュレータに対する「最適応答 (optimum response)」は、図6aに示すようなものであり、レギュレータは、サイズ $\Delta I_{load}$ の負荷電流ステップに応答し、初期出力電圧偏差は $\Delta I_{load} * R_e$ に等しく、次の負荷電流ステップまで一

$$C_{min} = [\Delta I_{load}^2 / 2m + mT_c^2 / 2] / \Delta V_{out} \quad (\text{式3})$$

ここで、 $m$ は先に計算した勾配値、 $\Delta V_{out}$ は $\Delta I_{load}$ に等しい負荷電流のステップ変化に対する最大許容電圧偏差、そして $T_c$ は特性時定数（以下で論ずる）である。

【0036】所与のコンデンサの種類に対して、式3を満足する最小サイズが存在する。コンデンサの種類には、例えば、アルミニウム (Al) 電解質コンデンサ、セラミック・コンデンサ、およびOS-CON (有機半導体電解質を有するAl) コンデンサが含まれる。出力コンデンサの種類の選択は、多数の要因によって影響される。スイッチング・レギュレータでは、重要な考慮点の1つは、スイッチング周波数である。低周波数の設計 (例えば、200kHz) では、Al電解質コンデンサを使用する傾向があり、中間周波数設計 (例えば、500kHz) ではOS-CONコンデンサを使用する傾向があり、高周波数設計 (1MHz以上) ではセラミック・コンデンサを使用する傾向がある。

【0037】一旦コンデンサの種類を選択したなら、その特性時定数 $T_c$ を決定する。これは、そのESRおよびその容量の積によって与えられる。コンデンサのESRは、その容量が増大すると減少する傾向があるので、 $T_c$ は、所与の種類および電圧定格のコンデンサに対してはほぼ一定となる傾向がある。例えば、標準的な低電圧 (例えば、10V) Al電解質コンデンサは、約40 $\mu$ s (例えば、2mF x 20m $\Omega$ ) の特性時定数を有し、セラミック・コンデンサは約100ns (例えば、10 $\mu$ F x 10m $\Omega$ ) の特性時定数を有し、OS-CONコンデンサは約4 $\mu$ s (例えば、100 $\mu$ F x 40m $\Omega$ ) の特性時定数を有する。

【0038】選択したコンデンサの種類に対して決定した $T_c$ を用いて、式3にしたがって最小容量を確定する。最小ESR  $R_{e(max)}$  は次の式で与えられる。

【0039】

$$\text{【数14】 } R_{e(max)} = T_c / C_{min}$$

【0033】

【数12】

定に留まる。出力コンデンサの容量が $C_{crit}$ 未満の場合、最適応答は図7aに示すようになり、ピーク出力電圧偏差は式2で与えられ、次の負荷電流ステップまで一定に留まる。

【0034】一旦 $m$ の値を所与のレギュレータに対して決定したなら、最適応答が得られる最小サイズのコンデンサ (図6aまたは図7aによる) を決定することができる。最小サイズのコンデンサは、以下の式を満足する容量 $C$ およびESR  $R_e$ の組み合わせを有するものである。

【0035】

【数13】

$C_{min}$ に等しい、または好ましくはこれよりも大きい容量 $C$ 、および $R_{e(max)}$ に等しいまたは好ましくはこれよりも多少小さいESR  $R_e$ を有するコンデンサを、レギュレータの出力コンデンサとして用いる。 $C$ が先に計算した $C_{crit}$ 値以上の場合、図6aによる応答が得られる。 $C$ が $C_{crit}$ 未満の場合、図7aのような応答が達成される。 $C_{min}$ に等しい容量および $R_{e(max)}$ に等しいESRを有する出力コンデンサを用いることは、許容可能であるが、推奨しない。こうすると、実用上稚拙な設計となり、許容範囲、経年変化、温度等に対する安全マージンが得られない。一方、 $R_{e(max)}$ よりもかなり小さいESRを有するコンデンサを選択することも推奨しない。何故なら、コンデンサはESRが小さい程、コスト高となる傾向があるからである。一旦出力コンデンサのESR値を確定したなら、その容量 $C$ はほぼコンデンサの種類の選択によって決定されることを注記しておく。したがって、 $C$ は $C_{crit}$ よりもかなり大きくなる場合もあるが、選択したコンデンサ種類の範囲内では、コンデンサのサイズは依然として最小のままである。

【0040】出力コンデンサを選択した後、電圧レギュレータは、その応答が図5a ( $C > C_{crit}$ の場合) または図6a ( $C < C_{crit}$ の場合) に示した最適形状を有するように構成する必要がある。 $C > C_{crit}$ の場合、最適応答を達成するには、電圧レギュレータの出力インピーダンス (出力コンデンサのインピーダンスを含む) が抵抗性となり、出力コンデンサのESRに等しくなるように、電圧レギュレータを構成する。 $C < C_{crit}$ の場合、最適応答は、負荷および出力コンデンサの結合に、最大可用勾配で、ピーク偏差に達するまで、レギュレータに電流を注入させることによってのみ保証される。この場合、レギュレータは、この応答の部分に対して非線形モードで動作するので最適出力インピーダンスを定義することはできないか、ほぼ最適な応答が得られるように出力インピーダンスの選択が可能であることには変わりな

い。

【0041】本発明による電圧レギュレータの一実施形態を図8に示す。可制御電力段50は、トランスコンダクタンス $g$ によって特徴付けられ、制御入力53において受け取る制御信号に応答して、出力ノード52に出力 $V_{out}$ を生成する。電力段50は負荷54を駆動する。出力コンデンサ56が負荷間に並列に接続されており、ここでは、その容量性成分 $C$ および等価直列抵抗 $R_e$ 成分に分割して示されている。出力ノード52と制御入力53との間に、フィードバック回路58が接続されている。

【0042】フィードバック回路58は、例えば、電圧

$$K(s) = -(1/gR_0)(1/(1+sR_eC)) \quad (式4)$$

ここで、 $g$ は可制御電力段50のトランスコンダクタンス、 $C$ および $R_e$ は、それぞれ、出力コンデンサ56の容量およびESRであり、 $s$ は複素周波数、ならびに $R$

$$C \geq C_{crit} \text{ の場合、 } R_0 = R_e$$

【0045】

$$C < C_{crit} \text{ の場合、 } R_0 = (\Delta I_{load}/2mC) + (mCR_e^2/2\Delta I_{load}) \quad (式6)$$

ここで、 $C$ および $R_e$ は、それぞれ、出力コンデンサ56の容量およびESRであり、 $m$ は出力コンデンサ56および負荷54の並列結合に向けて注入される電流の最小勾配の絶対値( $C_{crit}$ の決定に関して論じた通りである)であり、 $\Delta I_{load}$ はレギュレータが対処するように設計した最大負荷電流ステップである。

【0046】式5および式6において定義した $R_0$ の値は、レギュレータのピーク電圧偏差の尺度となる。 $C$ が $C_{crit}$ 以上の場合、電圧誤差増幅器59の利得 $K(s)$ は式4に定義したようになり、レギュレータおよび出力コンデンサ56の結合出力インピーダンスは、出力コンデンサの等価直列抵抗 $R_e$ に等しくなる。したがって、ピーク電圧偏差は、 $\Delta I_{load} * R_0$ となり、これは、 $C \geq C_{crit}$ の場合、 $\Delta I_{load} * R_e$ に等しい。

【0047】 $C$ が $C_{crit}$ 未満であり、電圧誤差増幅器59の利得 $K(s)$ が式4に定義した通りである場合、ピーク電圧偏差 $\Delta V_{out}$ は、式2に定義したようになる。 $C$ が $C_{crit}$ 未満の場合システムは非線形となり、したがって、レギュレータは図6aに示す最適過渡応答を達成することができない。しかしながら、電圧誤差増幅器59を補償して式4で与えられる伝達関数を形成すれば、図6aの理想的な応答に實際上できるだけ近い過渡応答が得られる。

【0048】可制御電力段50は、いずれの特定構成にも限定されるものではない。図8では、電力段50は、電力モード制御を行うように構成されており、電力段は、 $R_s$ に等しいトランスレジスタンスを有し、電力段の出力電流と共に変動する出力信号を生成する電流センサ、電流センサの出力および電圧誤差増幅器の出力62を入力として受け取り、出力67を生成する電流コント

誤差増幅器59を含むことができ、第1入力60において出力電圧 $V_{out}$ を表わす信号を、第2入力において基準電圧を受け取るように接続され、その入力間の差電圧と共に変動する出力62を生成する。図8に示す実施形態では、最適負荷過渡応答、即ち、コンデンサ56が $C_{crit}$ 以上の場合には図6aによる最適負荷過渡応答、そしてコンデンサ56が $C_{crit}$ 未満の場合には図7aによる最適負荷過渡応答は、その利得 $K(s)$ が次の式で与えられるように、電圧誤差増幅器59を補償することによって達成される。

【0043】

【数15】

$0$ は次の式で与えられる量である。

【0044】

【数16】

(式5)

【数17】

ローラ、および電流コントローラからの出力67を受け取り、応答して出力電圧 $V_{out}$ を生成する電力回路68を含む。本発明は、線形レギュレータおよびスイッチング・レギュレータ双方に適用可能である。線形レギュレータでは、電力回路68は直列パス・トランジスタであり、電流コントローラ66は増幅器である。スイッチング・レギュレータでは、電力回路68は、制御型スイッチ、ダイオード、インダクタ、変圧器、およびコンデンサのような構成部品を含む、多数のトポロジのいずれでも有することができる。例えば、バック型スイッチング・レギュレータの典型的な電力回路を図1に示す。これは、1対の被制御スイッチ14および16、ならびにスイッチとレギュレータの出力との接合部に接続された出力インダクタ $L$ を含む。

【0049】スイッチング・レギュレータの電流コントローラ66には、2つの形式が可能である。即ち、瞬時型および平均型である。瞬時電流制御は、例えば、A. S. Kislovski (A. S. キスロブスキ)、R. Redl (R. レドル)、およびN. O. Soka1 (N. O. ソカル)、Dynamic analysis of switching mode DC/DC converters (スイッチング・モードDC/DC変換器の動的分析)、Van Nostrand Reinhold (1991)、102ページに記載されているように、少なくとも6種類の異なる下位形式を有し、一定オフ時間ピーク電流制御、一定オン時間バレー電流制御、ヒステリテック制御 (hysteric control)、一定周波数ピーク電流制御、一定周波数バレー電流制御、およびPWMコンダクタンス制御が含まれる。瞬時電流コントローラは、通

常、一スイッチング期間内で出力インダクタにおける電流を変化させることができるが、平均電流制御によってインダクタ電流を変化させるには通常数期間を要する。この理由のために、瞬時電流制御の方が好ましいが、平均電流コントローラも、電流制御ループが十分に速い応答を有するのであれば、本発明を実現するために使用可能である。しかしながら、かかる実施態様は、電流誤差増幅器を必要とするという欠点があり、レギュレータ回路の複雑度およびコストの上昇を招く。

【0050】図9は、本発明によるスイッチング電圧レギュレータの可能な一実施形態の概略図である。この実施形態では、フィードバック回路58が電圧誤差増幅器59を含み、電圧誤差増幅器59は、演算増幅器70、入力抵抗器 $R_1$ 、フィードバック抵抗器 $R_2$ 、およびフィードバック・コンデンサ $C_1$ で構成されている。電力回路68は、 $V_{in}$ および接地間に接続された1対のスイッチ72および74を含み、これらのスイッチ間の接合部は出力インダクタLに接続されている。電流センサ64が、抵抗 $R_s$ を有する抵抗器75によって実現され、インダクタLおよび出力ノード52の間に直列に接続されている。

【0051】電流コントローラ66は、一定オフ時間ピーク電流制御型コントローラであり、電圧比較器76を含む。電圧比較器76の入力は、抵抗器75のインダクタ側、および加算回路78の出力に接続されている。加算回路78は、その出力Zに、そのXおよびY入力の電圧の和に等しい電圧を生成する。Xは電圧誤差増幅器59の出力62を受けるように接続され、Yは電流検知抵抗器75の出力側に接続されている。また、加算回路78は、固定利得kを有し、電圧誤差増幅器59の出力およびそのX入力間に接続された、利得段80を有する。利得kは、出力電圧 $V_{out}$ および基準抵抗 $V_{ref}$ がほぼ等しいと予想される場合、単位、例えば、0.01よりも大幅に小さくしなければならない。比較器76の出力は、単安定マルチバイブレータ82に接続されており、その出力は、論理反転器84を介して、駆動回路83に供給される。駆動回路83は、上位ドライバ86および下位ドライバ88を含み、電力回路68のスイッチ72および74をそれぞれ駆動する。

【0052】図9のスイッチング・レギュレータ回路の動作は次の通りである。インダクタL内の電流と抵抗器75の抵抗 $R_s$ の積が、電圧誤差増幅器59が生成する誤差電圧を超過する場合、電圧比較器76の出力は高となり、単安定マルチバイブレータをトリガする。論理反転器84は、マルチバイブレータ82の高出力を反転し、上位ドライバ86に上位スイッチ72をオフに切り

$$K * (R_2 / R_1) = 1 / (g * R_0)$$

【0060】

$$R_e * C = R_2 * C_1$$

gの値は、電流センサ64のトランスレジスタンスおよ

替えさせ、下位ドライバ88に下位スイッチ74をオンに切り替えさせる。その結果、インダクタLの電流は減少し始める。単安定マルチバイブレータ82は、関連するタイミング間隔 $T_{off}$ を有し、タイミング間隔 $T_{off}$ が経過した後、スイッチ72および74の状態は逆転し、インダクタL内の電流は増加し始める。インダクタ電流が比較器76のスレシホルドを超過すると、サイクルが繰り返される。出力電圧調整を行うには、加算回路78により、誤差増幅器59からの誤差電圧を用いて電圧比較器82のスレシホルドを変化させる。

【0053】本発明にしたがって構成すると、図9のスイッチング電圧レギュレータは、図10aおよび図10bにそれぞれ示す、負荷電流 $I_{load}$ および出力電圧 $V_{out}$ のシミュレーション・プロットに示すような、ほぼ最適な負荷過渡応答を得る。この例では、負荷電流は0.56Aから14.56Aまで変化し、そして戻り( $\Delta I_{load} = 14A$ )、許容出力電圧偏差 $\Delta V_{out}$ は0.07Vである。スイッチング・レギュレータのパラメータ値は、次の通りである。

【0054】 $V_{in} = 5V$ 、 $V_{ref} = 2.8V$ 、 $L = 3\mu H$ 、 $C = 10mF$ 、 $R_e = 5m\Omega$ 、 $R_s = 5m\Omega$ 、 $k = 0.01$ 、 $\Delta I_{load} = 14A$ 、 $\Delta V_{out} = 0.07V$ 。

【0055】出力コンデンサの $R_e$ は、 $R_{e(max)} = \Delta V_{out} / \Delta I_{load}$ によって定義される容認範囲内であり、ここでは、 $0.07V / 14A = 5m\Omega$ に等しいことを注記しておく。

【0056】この例では、 $V_{out} (=V_{ref})$ は、 $V_{in} = V_{out}$ より大きいので、mは以下の式で与えられる。

【0057】

$$\text{【数18】 } m = (V_{in} - V_{out}) / L = [(5 - 2.8)V] / 3\mu H = 0.733A / \mu s$$

式1から、クリティカル容量 $C_{crit}$ は、次の式で与えられる

【0058】

$$\text{【数19】 } C_{crit} = 14A / [(0.733A / \mu s)(5m\Omega)] = 3.818mF$$

10mFは3.814mFよりも大きいので、Cは $C_{crit}$ よりも大きく、したがって $R_0$ (式5で与えられる)は $R_e$ に等しくなる。これを達成するには、電圧誤差増幅器59を必要に応じて補償し、式4の伝達関数を得る。電圧誤差増幅器59を図9に示すように実現する場合、以下の2つの式を満足すれば、この補償は行われる。

【0059】

【数20】

(式7)

【数21】

(式8)

び電流コントローラ66の実施態様によって決定され

る。電流コントローラの第1段が電圧比較器（この場合のように）である場合、 $g$ は電流センサ64のトランスレジスタンスの逆に等しい。電流センサを抵抗で実現する場合、トランスレジスタンスは単に抵抗器の抵抗となる（したがって、この例では、 $g = 1/R_5$ ）。この例では、以下の成分値を用いた場合に、式7および式8を満足する。

【0061】

$R_1 = 1\text{ k}\Omega$ 、 $R_2 = 100\text{ k}\Omega$ 、 $C_1 = 500\text{ pF}$   
図10bの波形が示すように、出力電圧応答は、 $5\text{ m}\Omega$ の抵抗性出力インピーダンスに対応し、出力コンデンサのESRにも等しい。

【0062】フィードバック回路58の一代替実施態様を図11に示す。ここでは、電圧誤差増幅器59は、ト

$$g_n [(R_3 R_4) / (R_3 + R_4)] = R_2 / R_1 \quad \text{式9}$$

【0065】

$$V_{CC} [(R_4) / (R_3 + R_4)] = V_{ref} \quad \text{式10}$$

【0066】

$$C_2 [(R_3 R_4) / (R_3 + R_4)] = C_1 R_2 \quad \text{式11}$$

したがって、式9、式10および式11の各々を満足すると、式4に定義した伝達関数が、図11に示す電圧誤差増幅器59について得られる。

【0067】本発明は、電圧誤差増幅器を含む電流モード制御型電圧レギュレータと共に用いることに限定される訳ではない。電流モード制御も電圧誤差増幅器も使用しない本発明の可能な一実施形態を図12に示す。この実施形態では、可制御電力段100が、1対の入力102、104間の電圧差に応じて出力電圧 $V_{out}$ を生成する。電力段は、入力を受け取る高速電圧コントローラ105によって制御される電力回路68を含む。スイッチング電圧レギュレータでは、高速電圧コントローラ105は、知覚し得る正の電圧差が入力102および104間に現れた場合に、その出力におけるパルス列のデューティ比を急速に大きくするという特徴がある。線形電圧レギュレータでは、高速電圧コントローラ105は、通常、広帯域演算増幅器を用いて実現する。

【0068】また、図12の実施形態は、電力段100

$$Z_2 / Z_1 = [(R_0 (1 + s R_0 C) - R_5) / R_5] \quad \text{(式12)}$$

ここで、 $R_0$ は式5および式6で定義されており、 $R_5$ は電流センサ106の抵抗であり、 $R_0$ および $C$ は採用する出力コンデンサ56のESRおよび容量である。

【0071】図12の電圧レギュレータの実施形態の一実施態様を図13に示す。高速電圧コントローラ105は、ヒステレティック比較器(hysteresis comparator)130によって実現され、その出力は駆動回路132に接続されている。駆動回路132は、上位ドライバ134および下位ドライバ136を含む。電力回路68は、上位スイッチ138および下位スイッチ140を含み、それぞれ、ドライバ134および136によって駆動される。出力インダクタ $L$ は、ス

ランスコンダクタンス増幅器90を用いて実現している。トランスコンダクタンス増幅器は、出力電流が、非反転入力および反転入力間の電圧差に比例することを特徴とする。出力電流および入力差電圧間の比例係数は、増幅器のトランスコンダクタンス $g_m$ となる。トランスコンダクタンス型電圧誤差増幅器の電圧利得は、トランスコンダクタンス増幅器90の出力に接続されているインピーダンスと、トランスコンダクタンス $g_m$ との積に等しい。

【0063】図9および図11に示す電圧誤差増幅器の実施態様は、以下の3つの式を満足する場合、等価となる。

【0064】

【数22】

【数23】

【数24】

の出力と出力ノード52との間に直列に接続されたトランスレジスタンス $R_5$ を有する電流センサ106も含み、レギュレータの出力電流と共に変動する出力を生成する。電流センサの出力は、加算回路108の一方の入力に接続され、加算回路の第2入力出力ノード52に接続されている。加算回路は、その入力の和に等しい出力電圧を生成し、電力段100の入力102に接続する。

【0069】電力段100の入力104は、1対のインピーダンス $Z_1$ および $Z_2$ 間の接合点に位置するノード110に接続されている。インピーダンス $Z_1$ および $Z_2$ は、出力ノード52および電圧基準112間に直列に接続されている。レギュレータを図12に示すように構成する場合、2つのインピーダンスの比 $Z_2 / Z_1$ を次の式にしたがって調整することによって、最適過渡応答が得られる。

【0070】

【数25】

スイッチ間の接合部に接続されている。ヒステレティック比較器130は、出力電圧を監視し、出力電圧が比較器の上側スレシホールドを超過したときに、上位スイッチをオフにする。上位スイッチは、出力電圧が比較器の下側スレシホールド未満に低下したときに、再びオンになる。

【0072】電流センサ106および加算回路108は、抵抗器 $R_5$ を有する直列抵抗器142によって実現されている。インピーダンス $Z_1$ は、コンデンサ $C_4$ および抵抗器 $R_6$ の並列結合によって実現され、インピーダンス $Z_2$ は抵抗 $R_7$ によって実現されている。

【0073】図13のスイッチング・レギュレータの出力インピーダンスが抵抗 $R_0$ に等しくなるためには、抵

抗器 $R_6$ および $R_7$ の抵抗比は、次の式で与えられなければならない。

【0074】

【数26】 $R_7/R_6 = (R_0 - R_8)/R_8$  更に、コンデンサ $C_4$ の容量と抵抗器 $R_6$ の抵抗の積は、次の式で与えられなければならない。

【0075】

【数27】 $C_4 R_6 = C [(R_0 R_e)/R_3]$

電圧レギュレータの設計技術における当業者には容易に認められるであろうが、先に論じた電圧レギュレータの実施態様および実施形態は、単に例示に過ぎない。多くの他の回路構成を用いても、本発明の方法をここに記載するように実施する限り、最適な過渡応答、および可能な限り最小の出力コンデンサという本発明の目標を達成することができる。

【0076】ここに記載した本発明の方法は、一般的な設計手順として提示することができ、線形およびスイッチング電圧レギュレータ双方の設計に適用可能であり、先に定義したクリティカル容量を超える容量を有する出力コンデンサおよびこれ未満の容量を有する出力コンデンサ双方の使用にも対応する。この設計手順は、以下のステップにしたがって実施することができる。

【0077】1. 負荷電流におけるステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内に規制出力電圧を維持するために必要な電圧レギュレータの出力コンデンサとして用いられるコンデンサの種類(A1電解質、セラミック、およびOS-CONコンデンサ等)の種類を選択する。

【0078】2. 選択したコンデンサの種類に対して、特性時定数 $T_c$ を決定する。これは、先に説明したように、そのESRおよびその容量の積として定義される。

【0079】3.  $\Delta I_{load}$ に等しい負荷電流のステップ増大に対して、出力負荷および出力コンデンサの並列結合に向けて電圧レギュレータが注入する電流の最大可用勾配の絶対値、ならびに $\Delta I_{load}$ に等しい負荷電流のステップ増大に対して、出力負荷および出力コンデンサの並列結合に向けて注入する電流の最小可用勾配の絶対値を決定する。これは、式1に関して説明したように行う。

【0080】4. 2つの絶対値の内小さい方を決定する。小さい方の絶対値を $m$ として識別する。

【0081】5. 以下の式にしたがって第1容量 $C_0$ を決定する。

【0082】

【数28】

$C_0 = [\Delta I_{load}^2 / 2m + mT_c^2 / 2] / \Delta V_{out}$

6. 以下の式にしたがって抵抗 $R_{e0}$ を決定する。

【0083】

【数29】 $R_{e0} = T_c / C_0$

7. 以下の式にしたがって、クリティカル容量値 $C_{crit}$ を決定する。

【0084】

【数30】 $C_{crit} = \Delta I_{load} / m R_{e0}$

8.  $C_0 < C_{crit}$ の場合、 $C_0$ にほぼ等しい容量 $C_1$ 、および $R_{e0}$ にほぼ等しい等価直列抵抗 $R_{e1}$ を有する出力コンデンサを用いる。

【0085】 $C_0 \geq C_{crit}$ の場合、 $\Delta V_{out} / \Delta I_{load}$ にほぼ等しい等価直列抵抗 $R_{e2}$ 、および $T_c / R_{e0}$ にほぼ等しい容量 $C_2$ を有する出力コンデンサを用いる。

【0086】9. 以下の式にしたがって、抵抗 $R_0$ を決定する。 $C_0 < C_{crit}$ の場合、

【0087】

【数31】 $R_0 = \Delta I_{load} / 2mC_1 + [mC_1(R_{e1})] / 2\Delta I_{load}$

$C_0 \geq C_{crit}$ の場合、

【0088】

【数32】 $R_0 = R_{e2}$

10. 使用する出力コンデンサへの接続の前に定義される、電圧レギュレータの出力インピーダンスが、抵抗 $R_0$ およびインダクタンス $L_0$ の直列結合にほぼ等しくなるように電圧レギュレータを調整する。 $L_0$ は次の式で与えられる。

【0089】 $C_0 < C_{crit}$ の場合、

【0090】

【数33】 $L_0 = C_1 * R_{e1} * R_0$

$C_0 \geq C_{crit}$ の場合、

【0091】

【数34】 $L_0 = C_2 * R_{e2} * R_0$

このステップは、前述の方法にしたがってレギュレータのフィードバック回路の伝達関数を式4に対応させることによって、実行する。

【0092】時定数 $T_c$  (またはその構成係数 $C$ および $R_e$ ) は、個々のコンデンサ種に対して正確に定義された量ではないことを注記しておく。製造許容誤差、ケース・サイズ、温度および電圧定格を含む多数の要因が全て $T_c$ に影響を及ぼし得る。したがって、実際の設計では、計算に用いたパラメータ $T_c$ は、近似値として見なすべきであり、設計手順をある回数繰り返すことが必要な場合もある。

【0093】また、本発明の方法は、特に電流モード制御を採用するバック型スイッチング電圧レギュレータの設計を対象とする手順として提示することができる。これは、レギュレータの出力コンデンサのサイズを最小に抑えつつ、負荷電流のステップ変化 $\Delta I_{load}$ に対して指定された電圧偏差仕様 $\Delta V_{out}$ 以内にその出力電圧 $V_{out}$ を維持することを保証する。この種のレギュレータは、入力電圧 $V_{in}$ および接地間に直列に接続された1対のスイッチを有し、スイッチ間の接合部が出力インダクタに接続されている。スイッチは、インダクタを $V_{in}$ および

接地に交互に接続するように駆動される。以下の設計手順は、 $C > C_{crit}$  の場合にのみ適用可能であり、その場合、図 6 a に示した最適負荷過渡応答が得られることを注記しておく。また、電流モード制御を採用するバック型レギュレータも、前述の設計手順に従うことによって、 $C_{crit}$  未満の容量を有する出力コンデンサを使用することが可能であり、これによって、図 7 a に示した最適応答を達成することができる。 $C > C_{crit}$  の場合に適用可能な設計手順は、以下のステップによって実施することができる。

【0094】1. 以下の式にしたがって、レギュレータの出力コンデンサに対して、最大等価直列抵抗  $R_{e(max)}$  を計算する。

【0095】

【数35】  $R_{e(max)} = \Delta V_{out} / \Delta I_{load}$

2. 以下の式にしたがって、レギュレータの出力インダクタに対する最小インダクタンス  $L_{min}$  を決定する。

【0096】

【数36】

$L_{min} = (V_{out} T_{off} R_{e(max)}) / V_{ripple,p-p}$   
ここで、 $T_{off}$  は出力インダクタを  $V_{in}$  に接続するスイッチのオフ時間、 $V_{ripple,p-p}$  は最大許容ピーク対ピーク出力リップル電圧である。

【0097】3.  $L_{min}$  以上のインダクタンス  $L_1$  を有する出力インダクタを用いる。

4. 以下の式にしたがって、出力コンデンサの最小容量  $C_{min}$  を決定する。

【0098】

【数37】  $V_{out} < (V_{in} - V_{out})$  の場合、 $C_{min} = \Delta I_{load} / [R_{e(max)} (V_{out} / L_1)]$

【0099】

【数38】  $V_{out} > V_{in} - V_{out}$  の場合、 $C_{min} = \Delta I_{load} / [R_{e(max)} ((V_{in} - V_{out}) / L_1)]$

5.  $C_{min}$  にほぼ等しい容量  $C$  を有する出力コンデンサ、および  $R_{e(max)}$  にほぼ等しい等価直列抵抗  $R_e$  を用いる。

【0100】6. レギュレータの出力インピーダンスを  $R_e$  にほぼ等しくなるように構成する。このステップは、前述の方法にしたがって、レギュレータのフィードバック回路の伝達関数を式 4 と対応付けさせることによって行う。

【0101】以上本発明の特定的な実施形態について示しかつ説明したが、当業者には多数の変形や代替実施形態も想起されよう。例えば、バック型スイッチング・レギュレータのありふれた代替実施形態の 1 つに、第 2 スイッチを整流ダイオードで置換したものもある。したがって、本発明は添付した請求の範囲に関してのみ制限されることを意図するものとする。

【図面の簡単な説明】

【図1】従来技術のスイッチング電圧レギュレータ回路

の概略図である。

【図2】図 2 a および図 2 b から成り、それぞれ、出力端子および出力コンデンサ間に接続された抵抗器を含まない従来技術の電圧レギュレータ回路の出力電圧および負荷電流のプロットである。

【図3】図 3 a および図 3 b から成り、それぞれ、出力端子および出力コンデンサ間に接続された抵抗器を含む従来技術のレギュレータ回路の出力電圧および負荷電流のプロットである。

【図4】図 4 a および図 4 b から成り、それぞれ、出力電圧が上方向負荷電流ステップに応答して静定する前に負荷電流がステップ状に低下する場合の従来技術の電圧レギュレータ回路の出力電圧および負荷電流のプロットである。

【図5】図 5 a ないし図 5 e から成り、図 5 a は、負荷電流におけるステップ変化のプロットであり、図 5 b は、図 5 a に示す負荷電流におけるステップ状変化にตอบสนองして、出力コンデンサおよび出力負荷の並列結合に向けて電圧レギュレータによって注入される出力電流のプロットであり、図 5 c は、図 5 a に示す負荷電流におけるステップ状変化にตอบสนองした電圧レギュレータの出力コンデンサ電流のプロットであり、図 5 d は、出力コンデンサの容量がクリティカル容量  $C_{crit}$  よりも大きい場合の、電圧レギュレータの出力電圧のプロットであり、図 5 e は、出力コンデンサの容量がクリティカル容量  $C_{crit}$  未満である場合の、電圧レギュレータの出力電圧のプロットである。

【図6】図 6 a および図 6 b から成り、それぞれ、クリティカル容量  $C_{crit}$  以上である出力容量を採用した本発明による電圧レギュレータの出力電圧および負荷電流のプロットである。

【図7】図 7 a および図 7 b から成り、それぞれ、クリティカル容量  $C_{crit}$  未満の出力容量を採用した本発明による電圧レギュレータの出力電圧および負荷電流のプロットである。

【図8】本発明による電圧レギュレータの一実施形態のブロック／概略図である。

【図9】図 8 に示す電圧レギュレータの実施形態に可能な一実施態様の概略図である。

【図10】図 10 a および図 10 b から成り、それぞれ、図 9 による電圧レギュレータに対する出力電圧および負荷電流のシミュレーション・プロットである。

【図11】図 9 に示す電圧誤差増幅器の代替実施態様の概略図である。

【図12】本発明による電圧レギュレータの別の実施形態のブロック／概略図である。

【図13】図 12 に示す電圧レギュレータの実施形態に可能な一実施態様の概略図である。

【符号の説明】

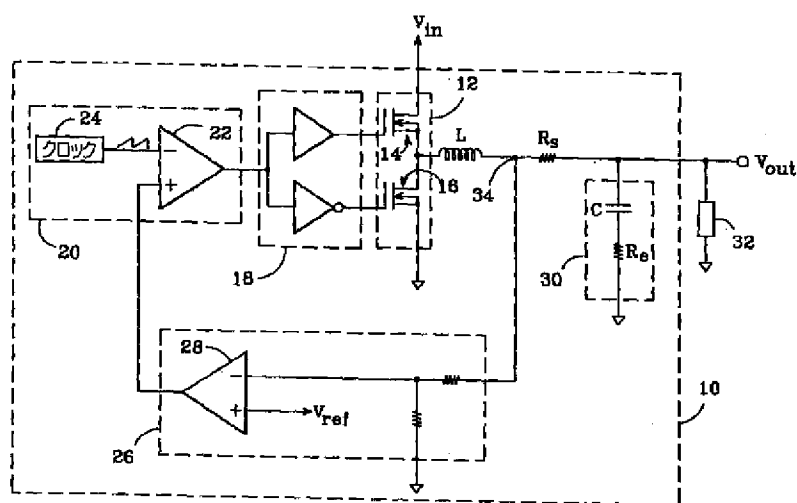
10 スwitchング電圧レギュレータ



12 プッシュ・プル・スイッチ  
 14, 16 パワーMOSFET  
 18 ドライバ回路  
 20 デューティ比変調回路  
 24 クロック回路  
 26 誤差信号発生回路  
 28 高利得演算増幅器  
 30 出力コンデンサ  
 32 負荷  
 50 可制御電力段  
 52 出力ノード  
 53 制御入力  
 54 負荷  
 56 出力コンデンサ  
 58 フィードバック回路  
 59 電圧誤差増幅器  
 64 電流センサ  
 66 電流コントローラ  
 68 電力回路  
 70 演算増幅器

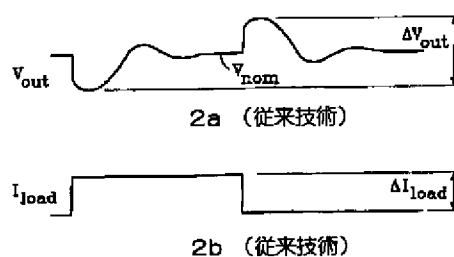
72, 74 スイッチ  
 75 抵抗器  
 76 電圧比較器  
 78 加算回路  
 80 電力段  
 82 単安定マルチバイブレータ  
 83 駆動回路  
 84 論理反転器  
 86 上位ドライバ  
 88 下位ドライバ  
 90 トランスコンダクタンス増幅器  
 100 可制御電力段  
 105 高速電圧コントローラ  
 106 電流センサ  
 108 加算回路  
 132 駆動回路  
 134 上位ドライバ  
 136 下位ドライバ  
 138 上位スイッチ  
 140 下位スイッチ

【図1】

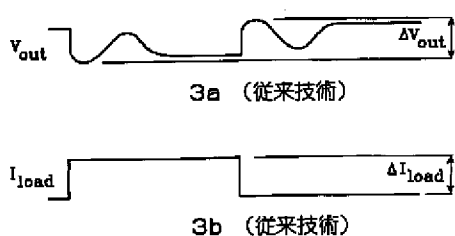


(従来技術)

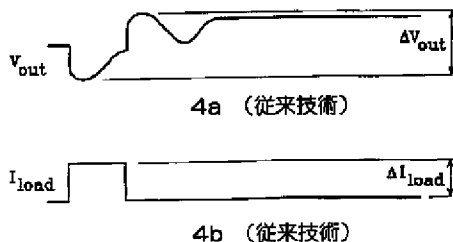
【図2】



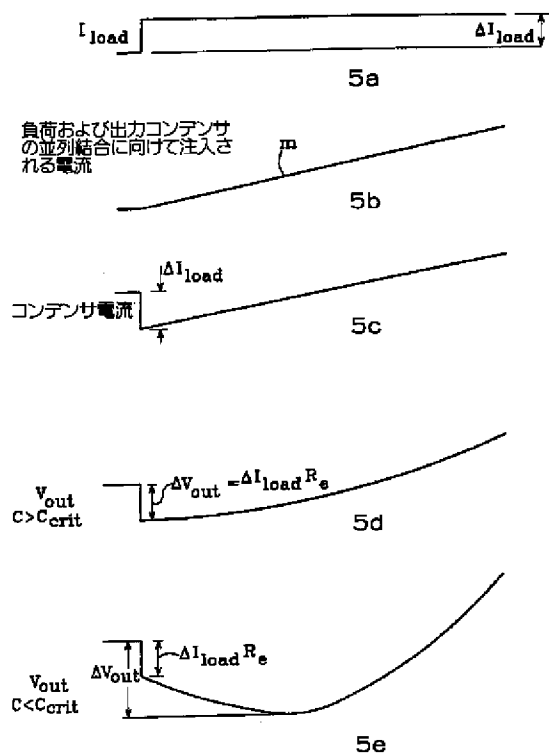
【図3】



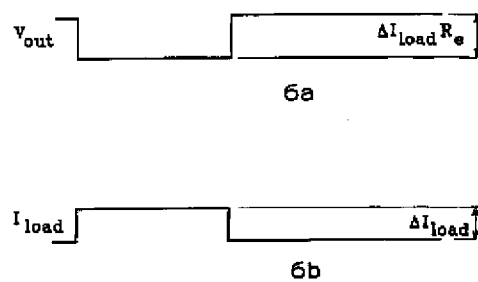
【図4】



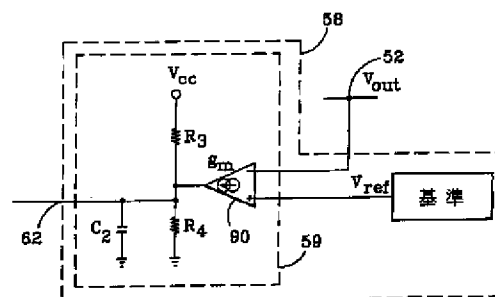
【例5】



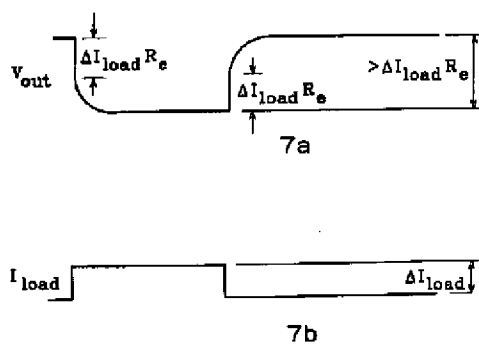
【例6】



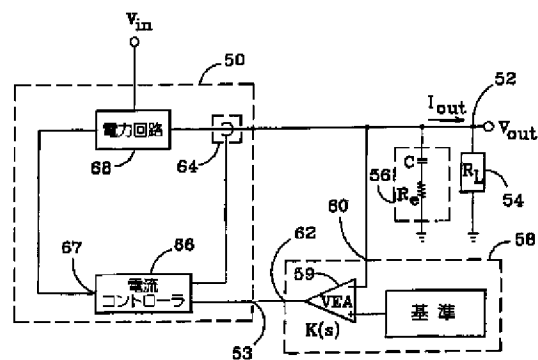
【例9】



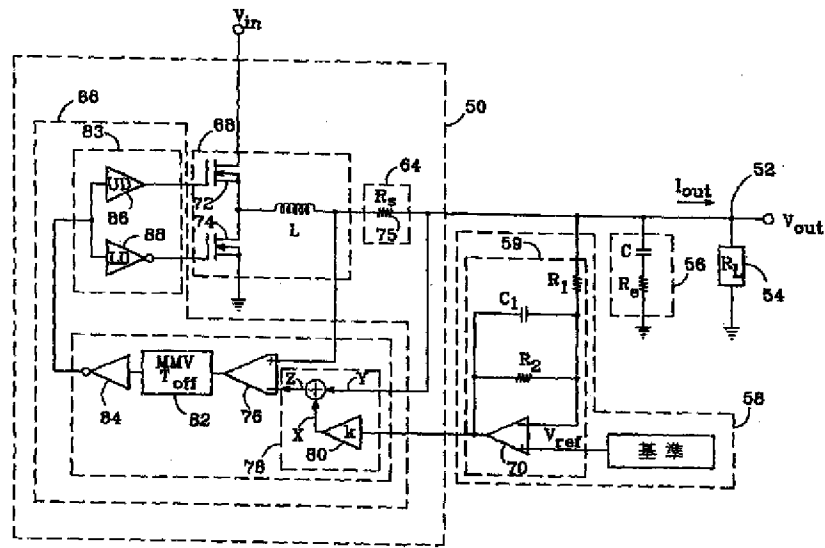
【図7】



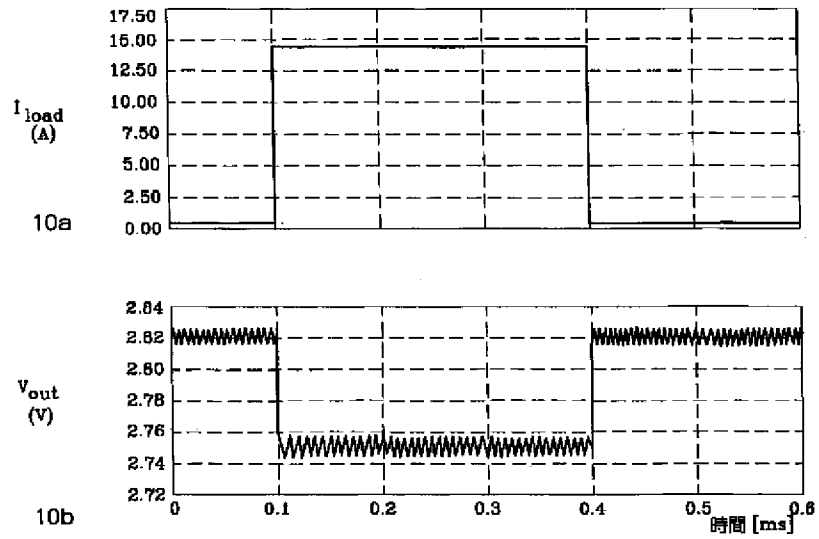
【図8】



【図 10】



【図 11】



(72) 発明者 ジョナサン・エム・オーディ  
アメリカ合衆国カリフォルニア州95124,  
サン・ノゼ, グレンハースト・ドライブ  
1637

(72) 発明者 ガボール・レイジク  
アメリカ合衆国カリフォルニア州94588,  
プリーザントン, リガッティ・サークル  
5086

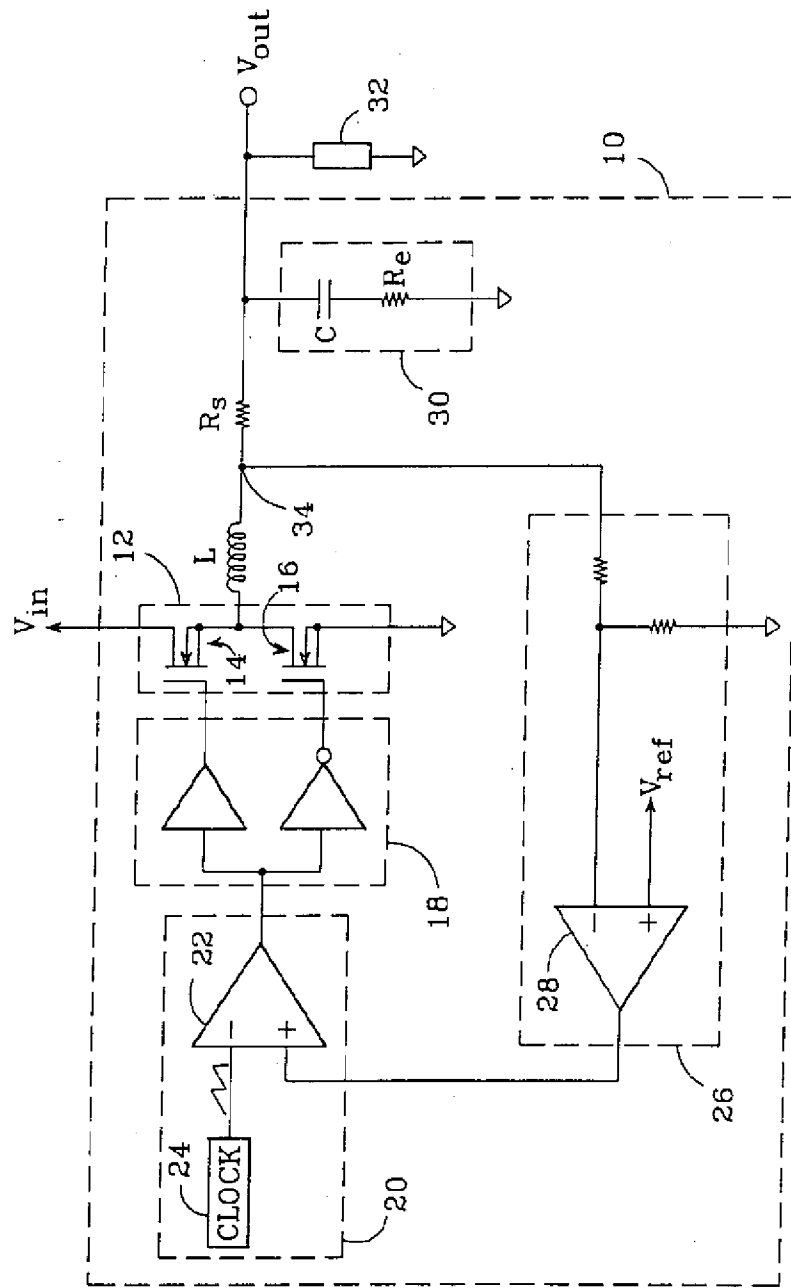


FIG. 1  
(Prior Art)

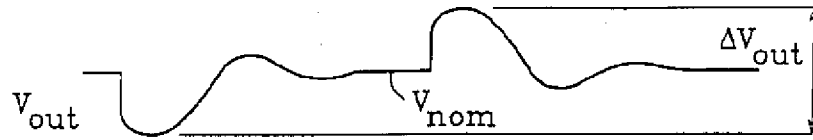


FIG. 2a (Prior Art)



FIG. 2b (Prior Art)



FIG. 3a (Prior Art)



FIG. 3b (Prior Art)

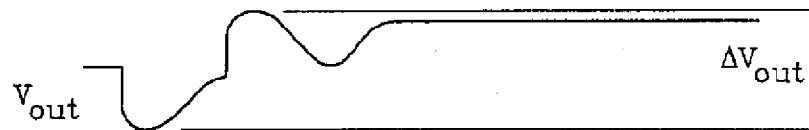


FIG. 4a (Prior Art)

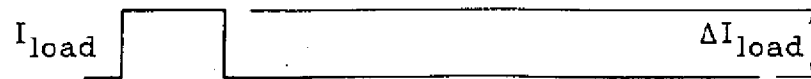


FIG. 4b (Prior Art)

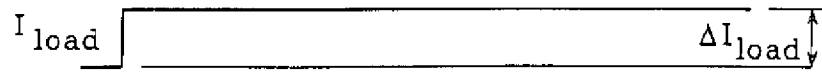


FIG. 5a

Current injected  
toward the parallel  
combination of the  
load and the  
output capacitor

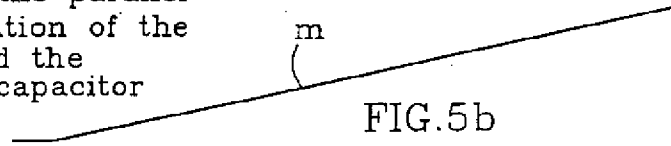


FIG. 5b

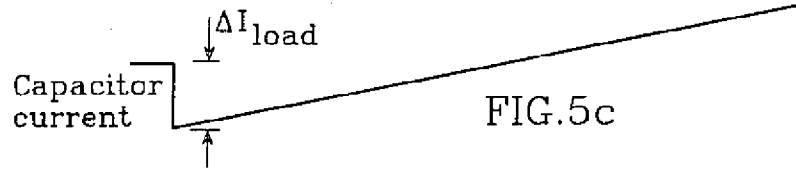


FIG. 5c

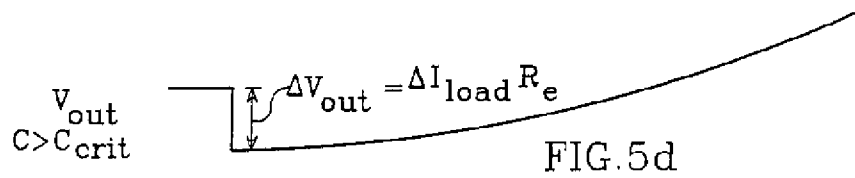


FIG. 5d

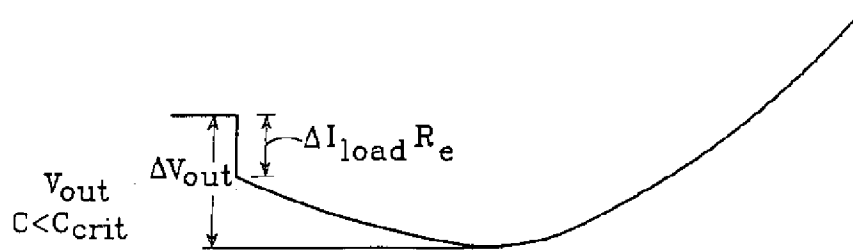


FIG. 5e

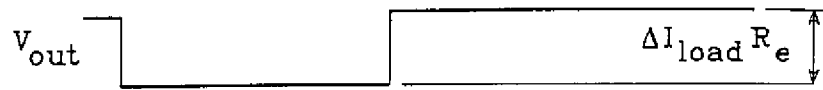


FIG. 6a

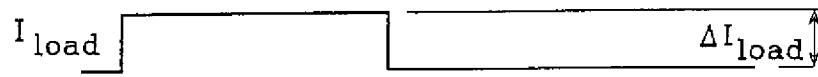


FIG. 6b

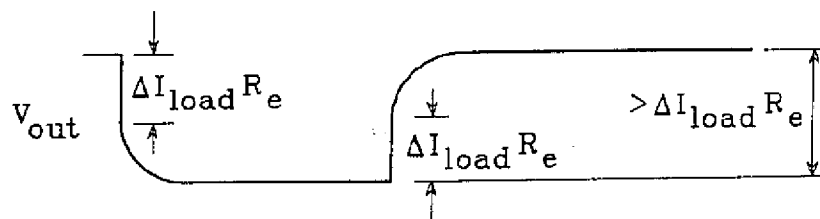


FIG. 7a



FIG. 7b



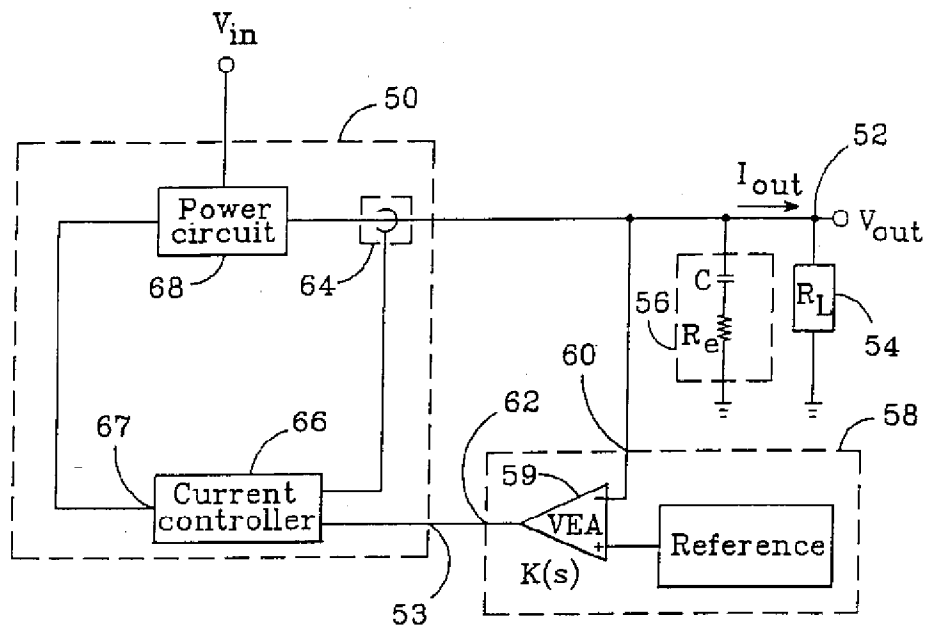


FIG. 8

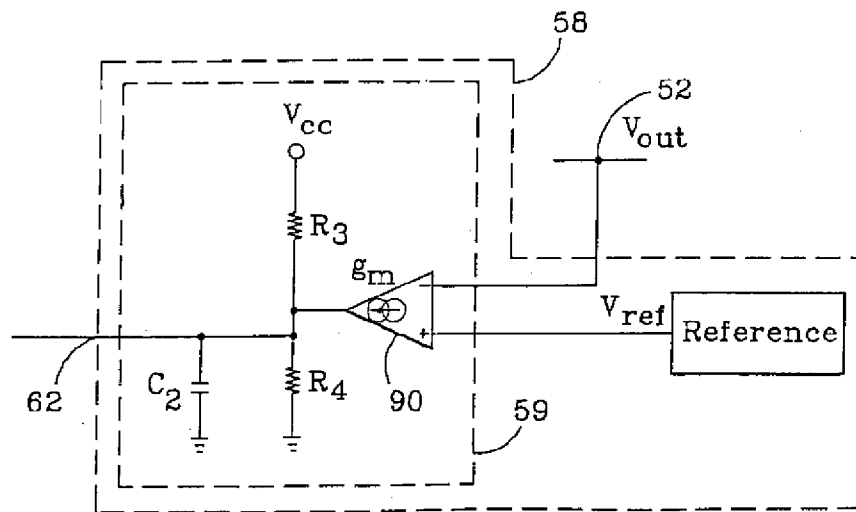


FIG. 11

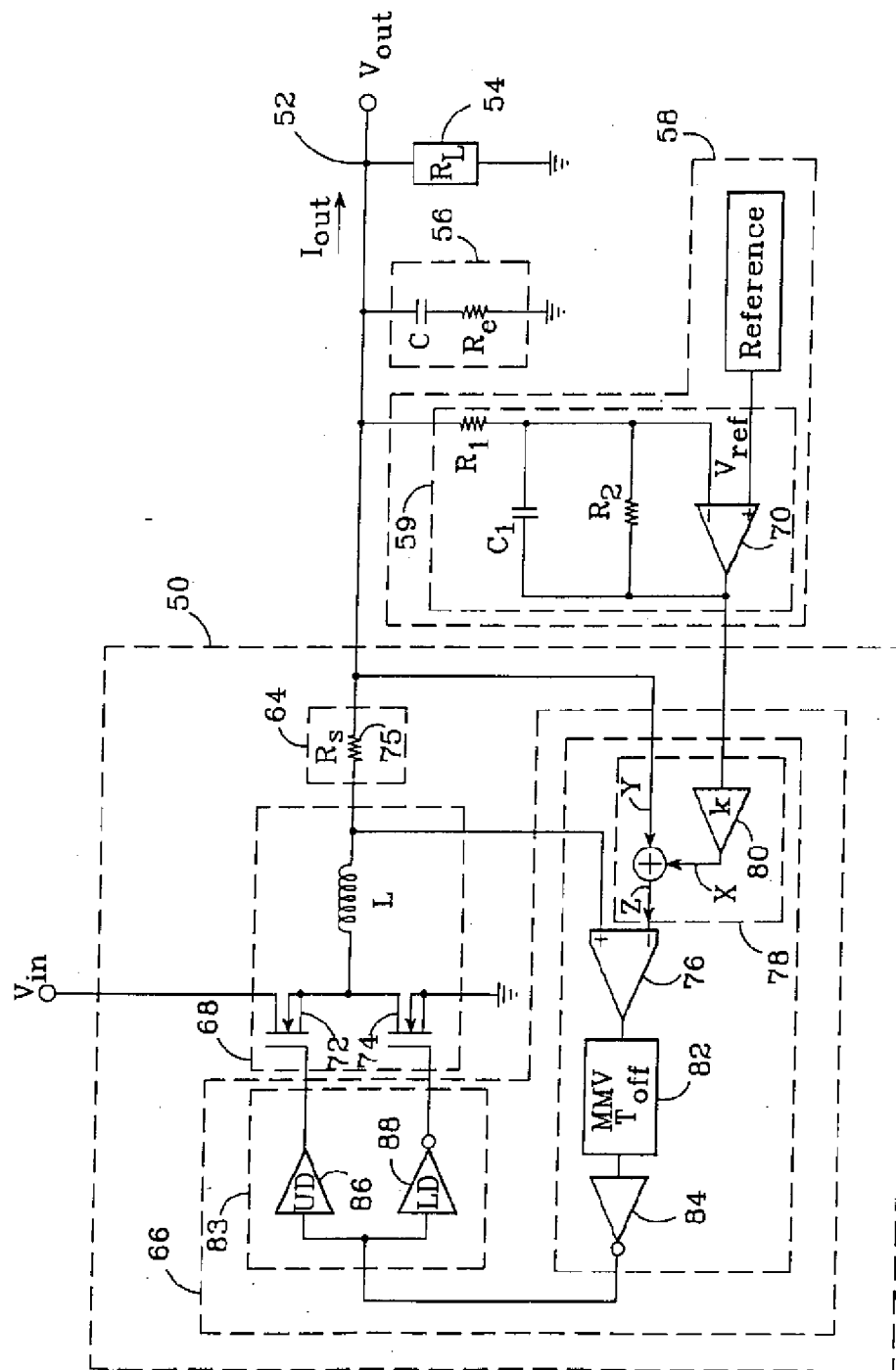
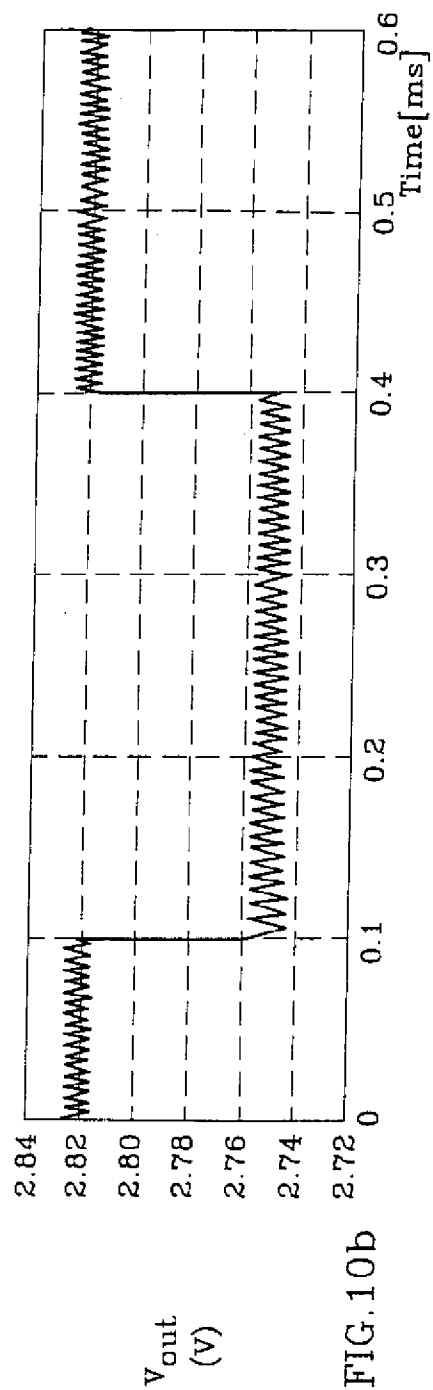
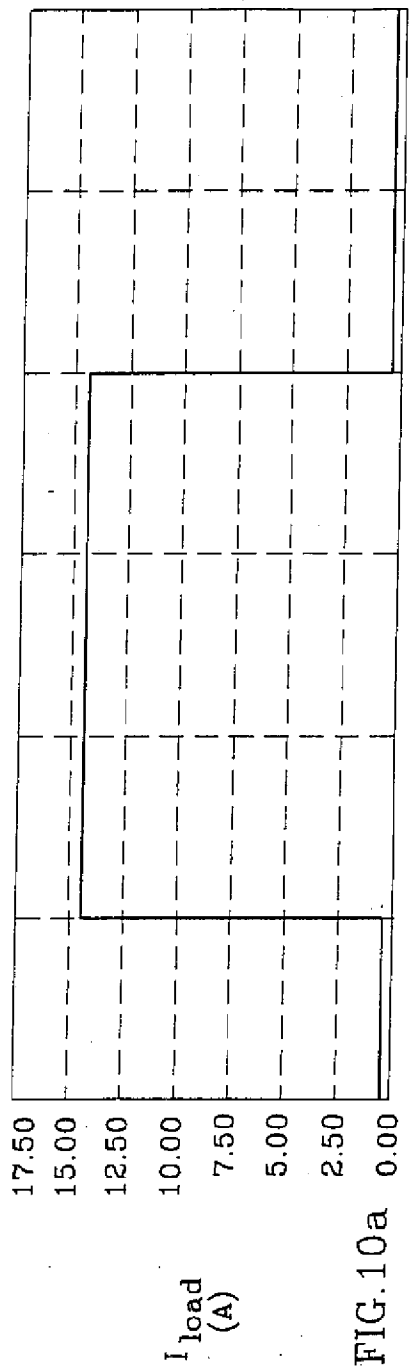


FIG. 9



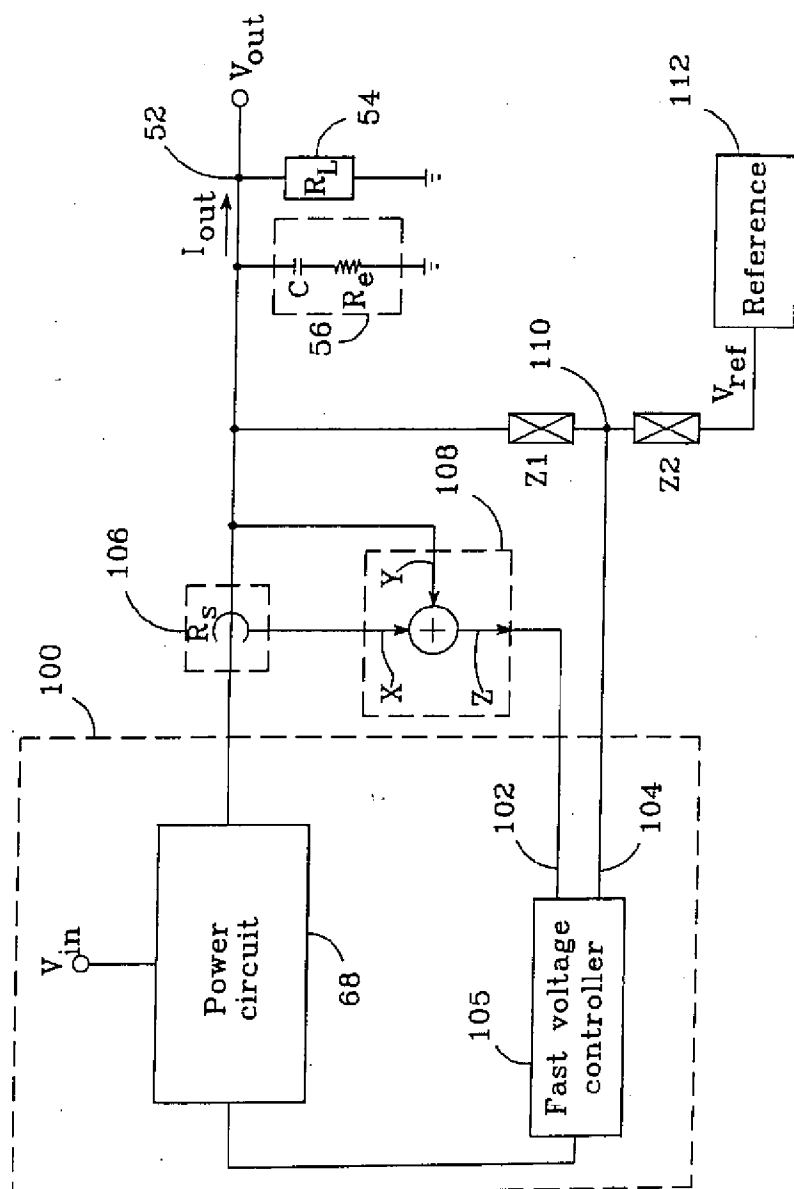


FIG.12

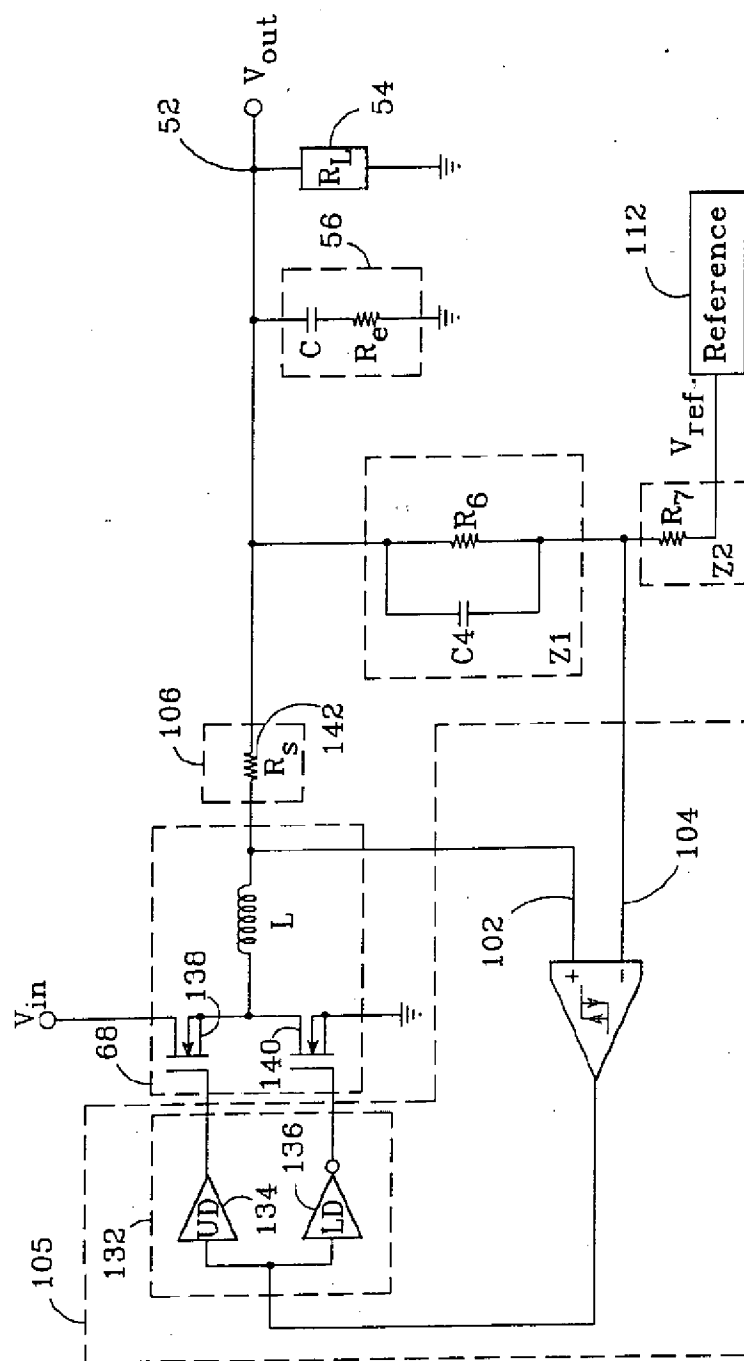


FIG. 13

## 1. Abstract

A method and circuit enable a voltage regulator to employ the smallest possible output capacitor (56) that allows the regulator's output voltage ( $V_{out}$ ) to be maintained within specified boundaries for large bidirectional step changes in load current. This is achieved by employing an output capacitor which has a combination of the largest possible equivalent series resistance (ESR) and lowest possible capacitance that ensures that the peak voltage deviation for a step change in load current ( $\Delta I_{load}$ ) is no greater than the maximum allowed ( $\Delta V_{out}$ ), and by compensating the regulator to ensure a response that is flat after the occurrence of the peak deviation. The invention is applicable to both switching and linear voltage regulators.

## 2. Representative Drawing

Fig. 8.